

# Electronique 2<sup>ème</sup> année

-

## Cours sur la synthèse de fréquence par PLL et DDS

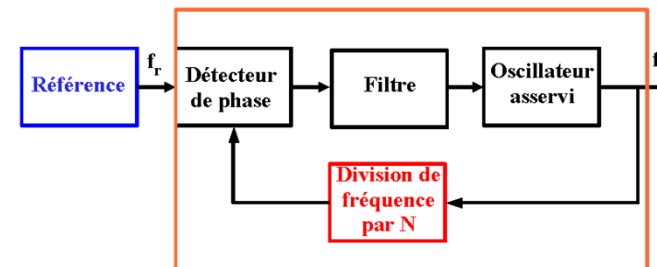
- Généralités sur la synthèse de fréquence
- La PLL et son fonctionnement : PLL analogique et numérique
- Synthèse de fréquence par PLL et DDS - Comparaison

Laurent BECHOU, Gérard COUTURIER  
Professeur - IUT Bordeaux – Département GEii  
Email : laurent.bechou@ims-bordeaux.fr

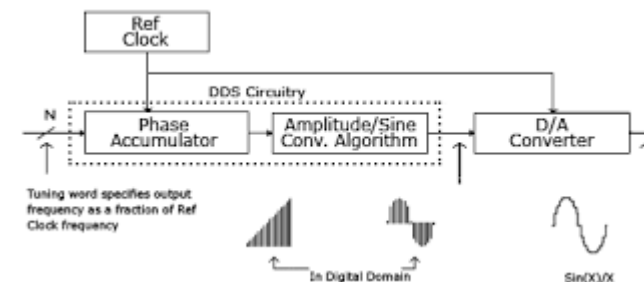
# 1- Généralités sur la synthèse de fréquence

Effectuer la synthèse de fréquence, c'est générer à partir d'un oscillateur maître de grande stabilité, d'autres fréquences plus faibles ou plus grandes mais avec la même précision relative.

- La génération par **boucle à verrouillage PLL** (« Phase-Locked Loop ») permet de générer des fréquences plus grandes que la fréquence de l'oscillateur maître. L'inconvénient réside dans le temps de commutation d'une fréquence à une autre.



- La génération par **synthèse numérique directe DDS** (« Direct Digital Synthesis ») permet de générer seulement des fréquences inférieures à la fréquence de l'oscillateur maître. L'avantage réside dans le faible de temps de commutation d'une fréquence à une autre.

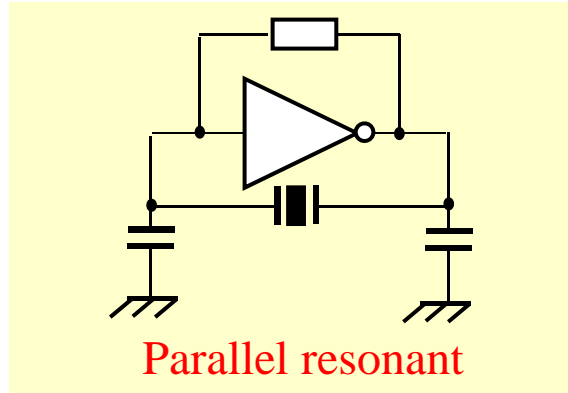


# 1- Généralités sur la synthèse de fréquence

Les boucles à verrouillage de phase sont principalement utilisées pour :

- 1) la **récupération d'un signal porteur**
- 2) **générer**, à partir d'une horloge de référence de fréquence  $f_H$ , **une ou plusieurs autres fréquences** telle que :  $\frac{M}{N} \cdot f_H$  où M et N sont des entiers

On pourrait générer des fréquences avec un **oscillateur à quartz** mais au-delà de qqes GHz, on ne sait pas tailler des cristaux de quartz suffisamment fins.



Disque de quartz synthétique

Fréquence de résonance

$$f_r = \frac{1}{2} \sqrt{\frac{\mu_q}{\rho_q}} \frac{1}{t_q}$$

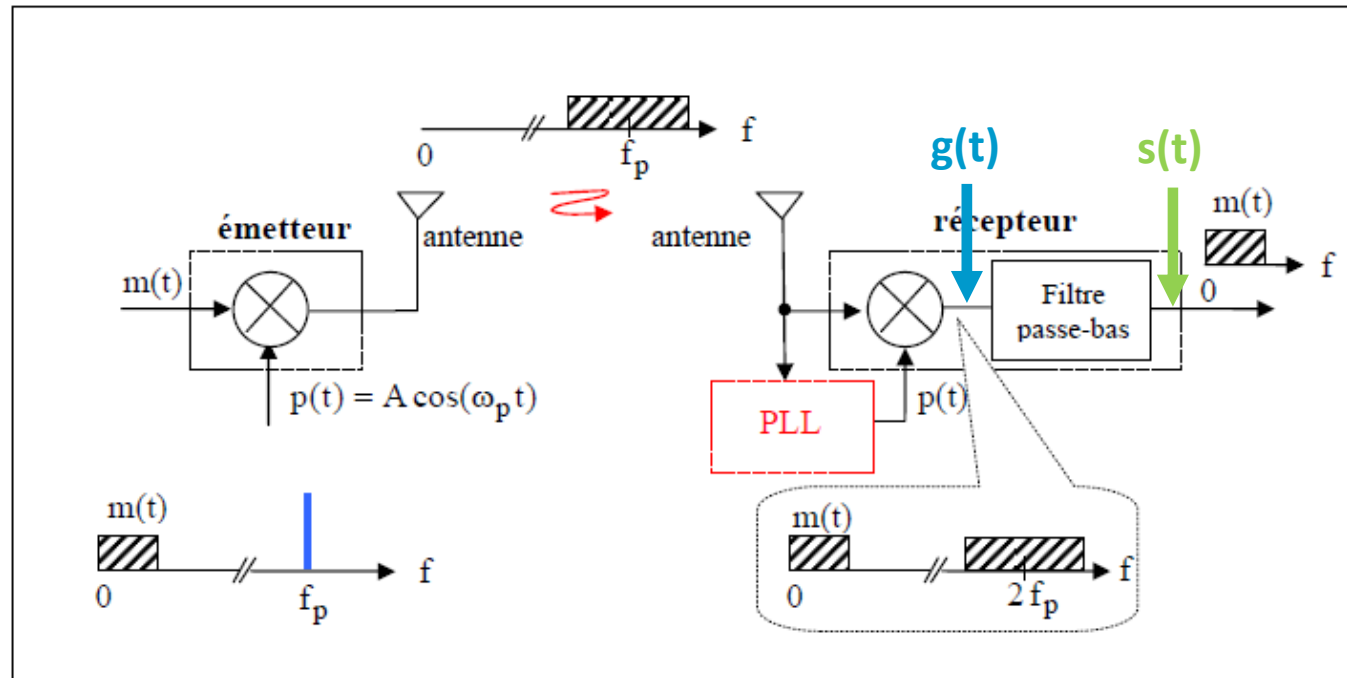
**Quartz à qqes GHz  $\Rightarrow t_q \ll 1 \mu\text{m}$  !**

Une horloge de qqes GHz est fabriquée à partir d'une horloge à quartz avec  $f_H = q \cdot q \cdot 10\text{MHz}$  et d'une boucle à verrouillage de phase avec  $M/N \gg 1$ .

Les générateurs de signaux utilisent également des boucles à verrouillage de phase ou, de plus en plus, des DDS pour les générateurs basses fréquences.

# 1- Généralités sur la synthèse de fréquence :

## La PLL au service des télécommunications



Rôle du récepteur => récupérer le signal utile (la voix par ex.) en régénérant une porteuse pour la multiplier par le signal émis

- Sans la PLL :

Signal en réception (après le multiplieur)

$$\Rightarrow g(t) \propto [A.m(t).\cos(\omega_p t)].p(t) = [A.m(t).\cos(\omega_p t)].A\cos(\omega_p t - \phi)$$

\* si  $\phi = 0 \Rightarrow$  Signal après le filtre passe-bas  $\Rightarrow s(t) \propto [A^2.m(t)/2]$

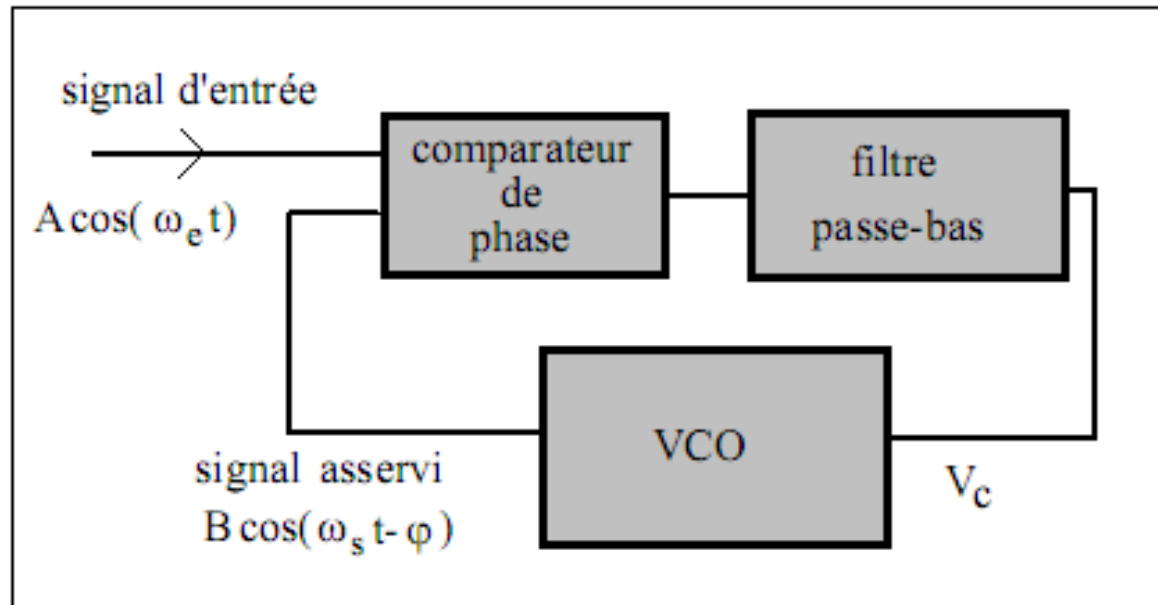
\* mais si  $\phi = \pi/2 \Rightarrow$  Signal après le filtre passe-bas  $\Rightarrow s(t) = 0 !!$

- Rôle de la PLL : Eviter  $s(t) = 0$  en **verrouillant la phase** de la porteuse régénérée en réception. On **asservit la phase d'un oscillateur à celle d'un signal de référence.**

## 2- La PLL et son fonctionnement : structure et types de PLL

Les **éléments constitutifs** d'une PLL :

- Un comparateur de phase
- Un filtre passe-bas
- Un oscillateur contrôlé en tension



Le comparateur de phase peut être :

- Soit un circuit mutiplicateur et on parle de **PLL analogique**
- Soit une fonction logique (ex : OU exclusif, bascules RS, comparateur logique à 3 états, type « charge-pump») et on parle de **PLL numérique**

## 2- La PLL analogique : éléments constitutifs de base

Le comparateur de phase analogique = un circuit multiplieur

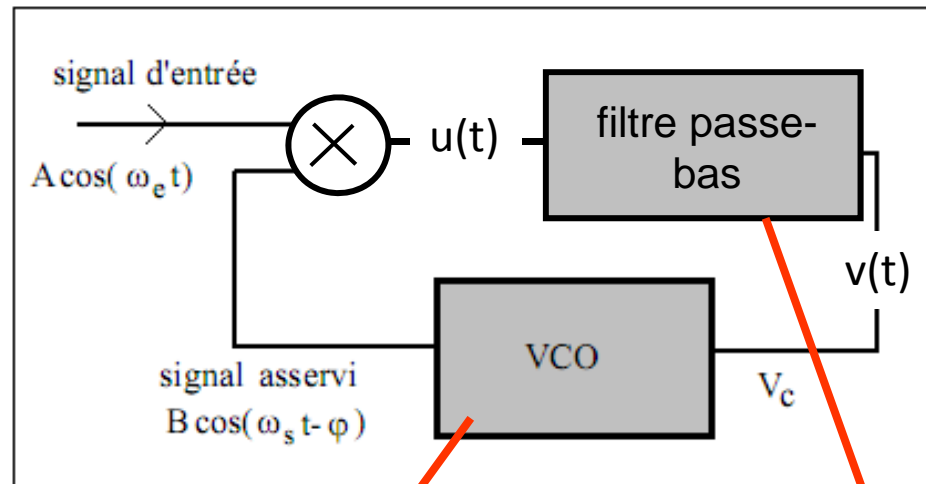


Figure 1 : Schéma de principe d'une boucle à verrouillage de phase

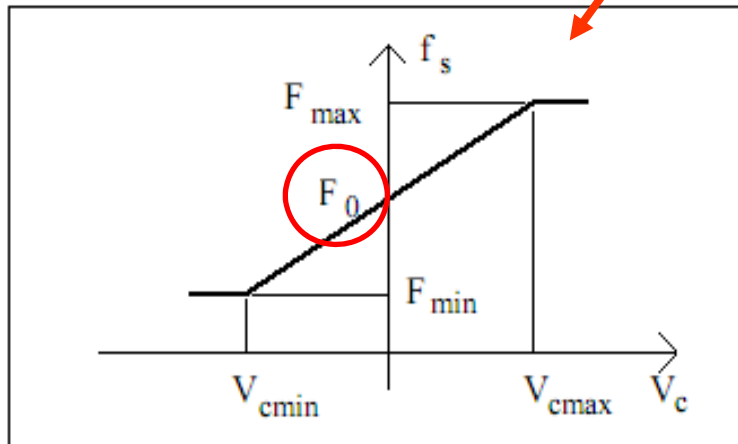


Figure 2 : Caractéristique linéarisée du VCO avec saturation

$F_0$  : fréquence libre du VCO

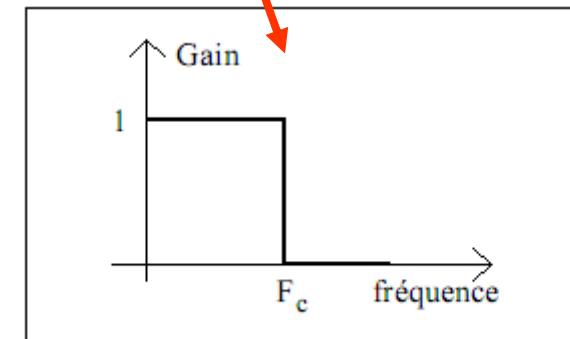
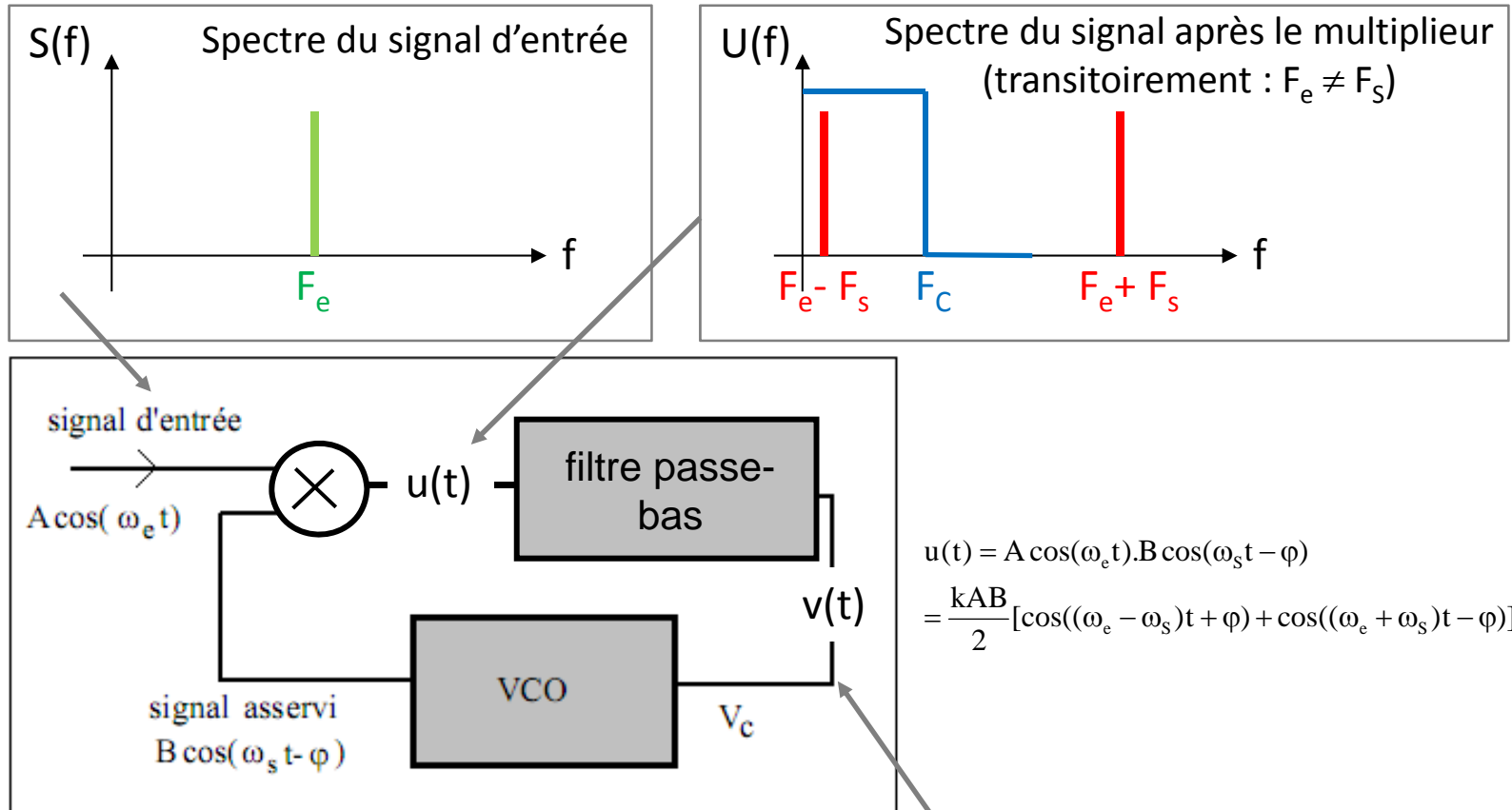


Figure 3 : Caractéristique du filtre passe-bas

Filtre passe-bas = filtre idéal (pente infinie)

## 2- La PLL analogique : fonctionnement en régime statique



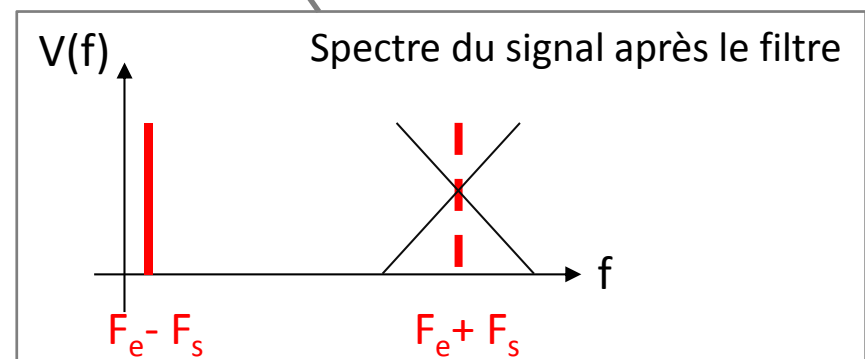
$$u(t) = A \cos(\omega_e t) \cdot B \cos(\omega_s t - \varphi)$$

$$= \frac{kAB}{2} [\cos((\omega_e - \omega_s)t + \varphi) + \cos((\omega_e + \omega_s)t - \varphi)]$$

En condition d'accrochage  
(régime statique) :

$$F_s = F_e \text{ et } \varphi = f(V_C)$$

Rq :  $\varphi$  varie généralement autour de  $\pi/2$



## 2- La PLL analogique : plage de capture et de verrouillage

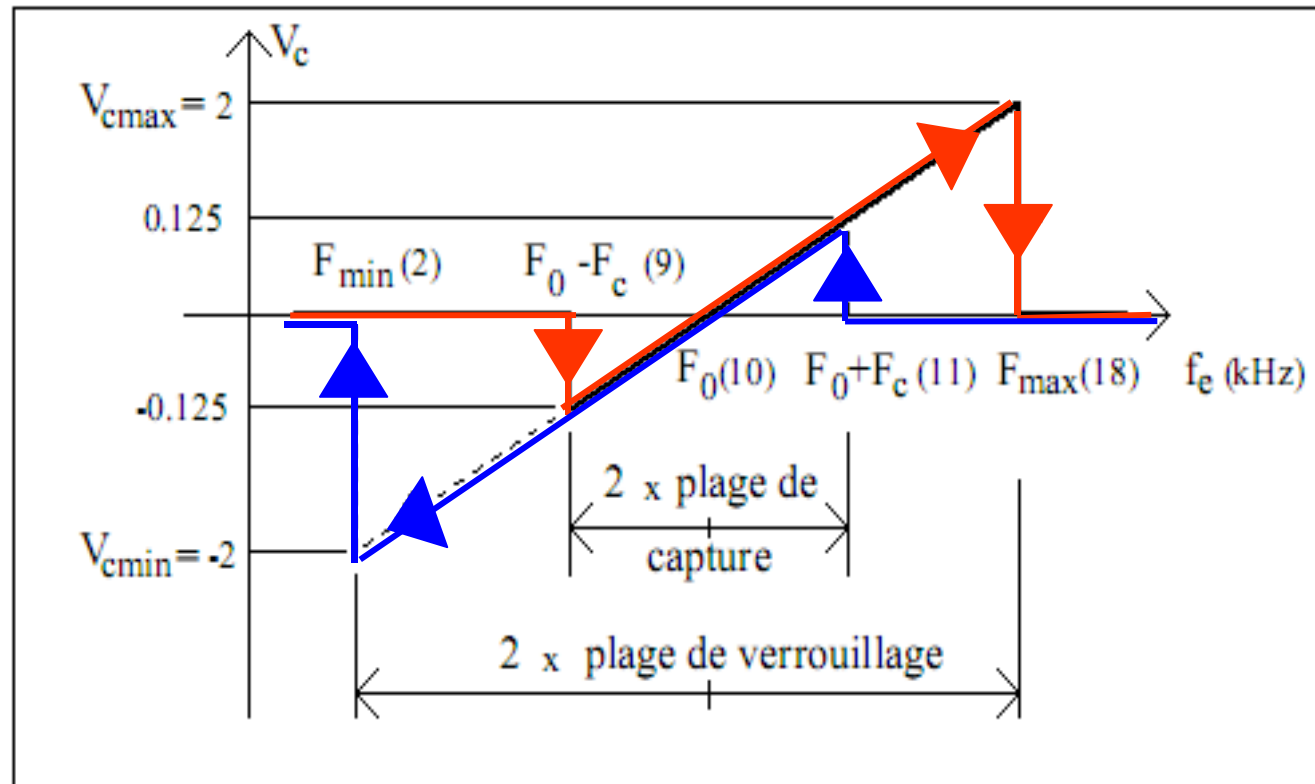


Figure 4 : Variation de la tension de commande  $V_c$  du VCO en fonction de la fréquence d'entrée  $f_e$

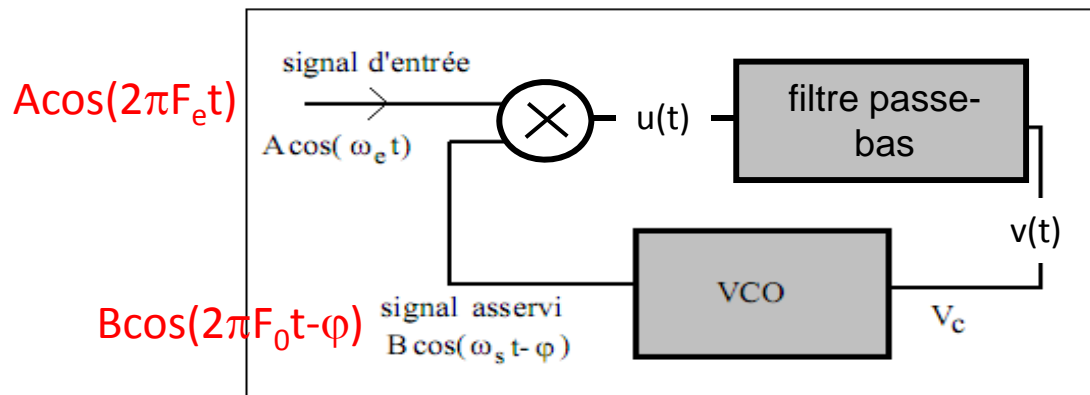
- Dans la plage de capture, la fréquence du VCO finit toujours par être égale à la fréquence de référence à l'entrée, les signaux d'entrée et du VCO sont déphasés.
- Dans la plage de verrouillage, hors plage de capture, la fréquence du VCO est :
  - Soit égale à la fréquence d'entrée
  - Soit égale à sa fréquence libre  $F_0$



## 2- La PLL analogique : plage de capture et de verrouillage

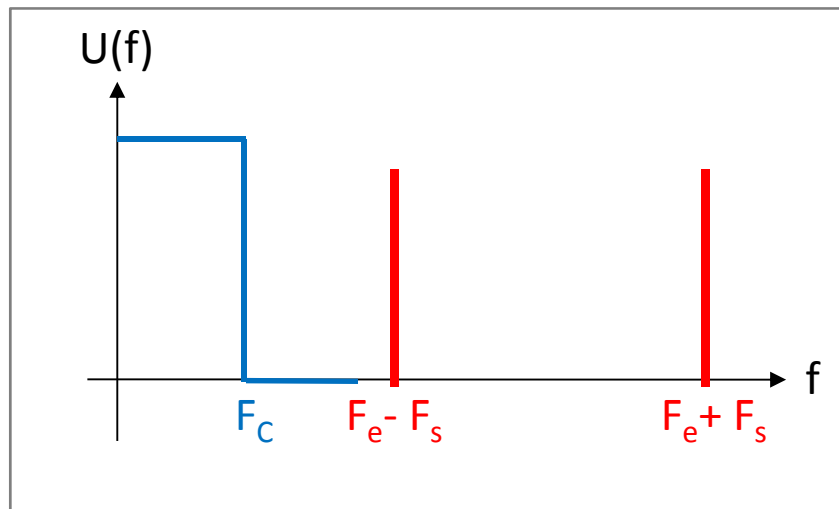
$$u(t) = A \cos(\omega_e t) \cdot B \cos(\omega_s t - \varphi) = \frac{kAB}{2} [\cos((\omega_e - \omega_s)t + \varphi) + \cos((\omega_e + \omega_s)t - \varphi)]$$

- Si  $F_e < F_{Vcmin}$  ou  $F_e > F_{Vcmax}$  et  $|F_e - F_0| > F_c$



$$F_{VCO} = F_0$$

Figure 1 : Schéma de principe d'une boucle à verrouillage de phase

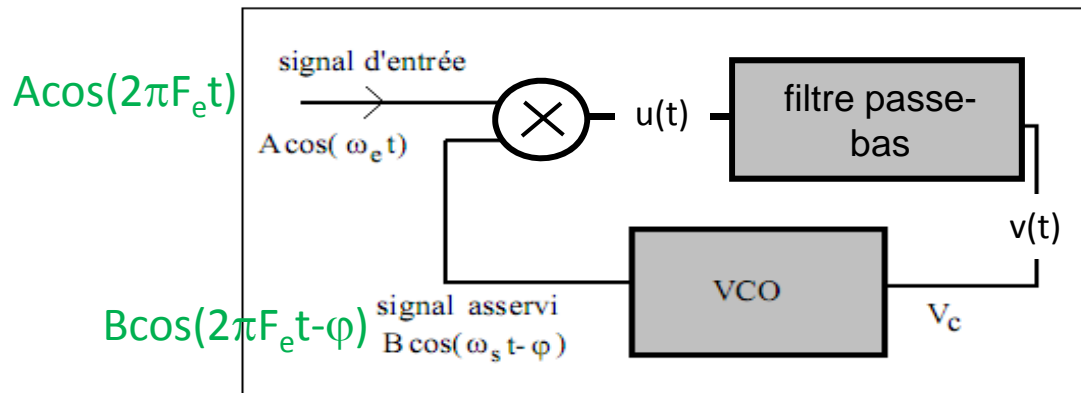


$V_c = 0$   
 $\Rightarrow$  Pas de relation  
entre  $\varphi$  et  $F_e$   
car pas de verrouillage !

## 2- La PLL analogique : plage de capture et de verrouillage

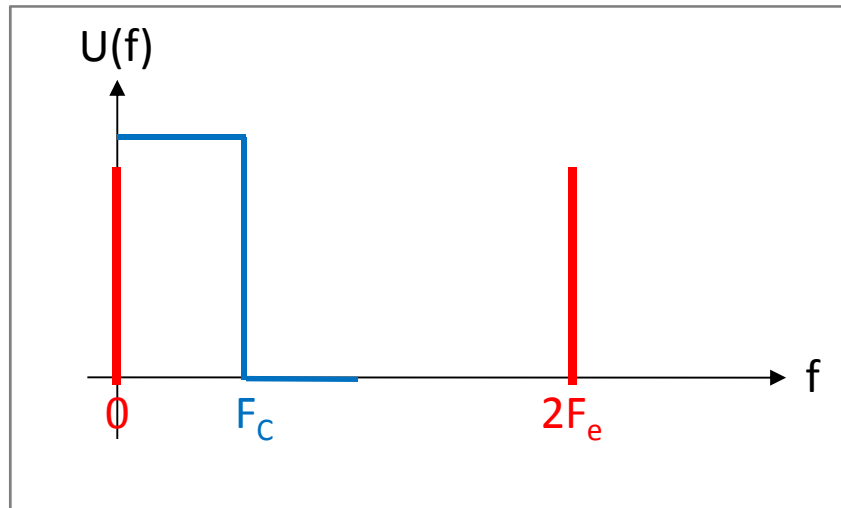
$$u(t) = A \cos(\omega_e t) \cdot B \cos(\omega_s t - \varphi) = \frac{kAB}{2} [\cos((\omega_e - \omega_s)t + \varphi) + \cos((\omega_e + \omega_s)t - \varphi)]$$

- Si  $F_{V_{cmin}} < F_e < F_{V_{cmax}}$  et  $|F_e - F_0| < F_c$



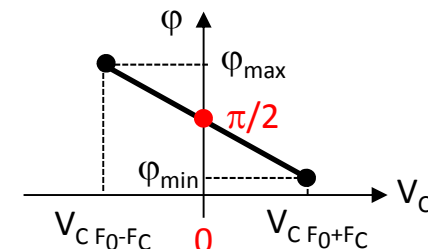
$$F_{VCO} = F_e$$

Figure 1 : Schéma de principe d'une boucle à verrouillage de phase



Verrouillage et  $V_c = AB \cdot \cos \varphi / 2$   
 $\Rightarrow \varphi = \text{Arccos}(2V_c / AB)$

Rq : Si  $F_e = F_0 \Rightarrow$   
 $\varphi = \pi/2$  et  $V_c = 0$



## 2- La PLL numérique : éléments constitutifs de base

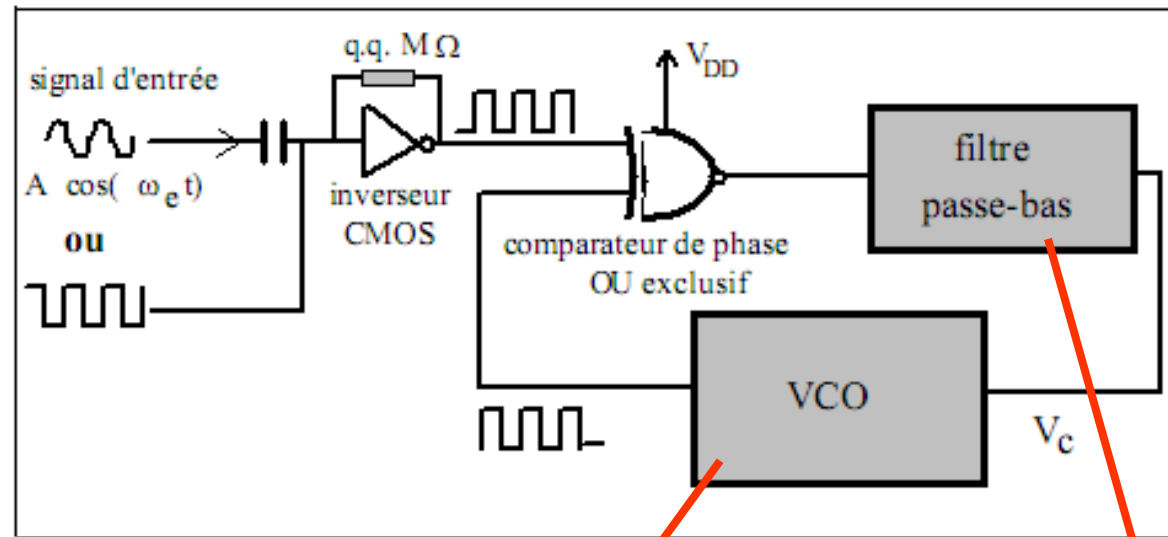


Figure 9 : Boucle à verrouillage de phase logique avec un OU exclusif

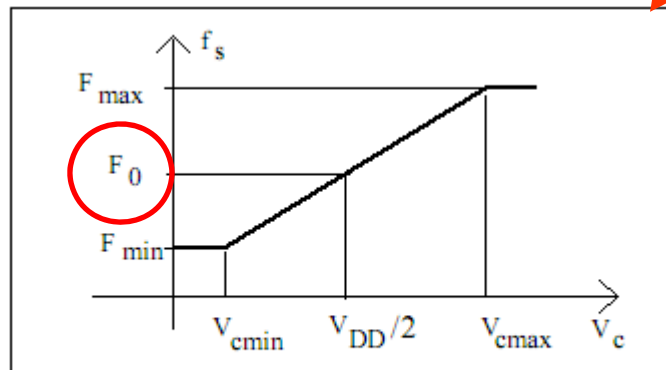


Figure 10 : Caractéristique fréquence-tension du VCO d'une boucle à verrouillage de phase logique

$F_0$  : fréquence libre du VCO

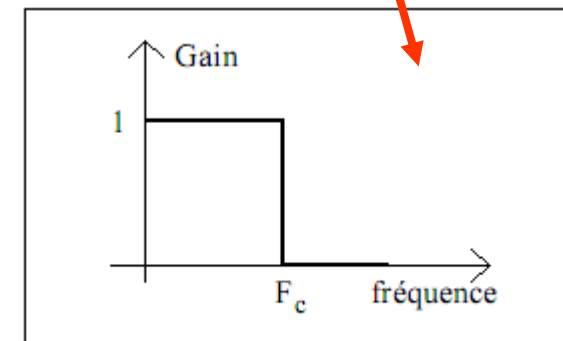


Figure 3 : Caractéristique du filtre passe-bas

Filtre passe-bas = filtre idéal  
(pente infinie)



## 2- La PLL numérique : plage de capture et de verrouillage

Le comparateur de phase = un OU exclusif

accrochage de la boucle sur des harmoniques

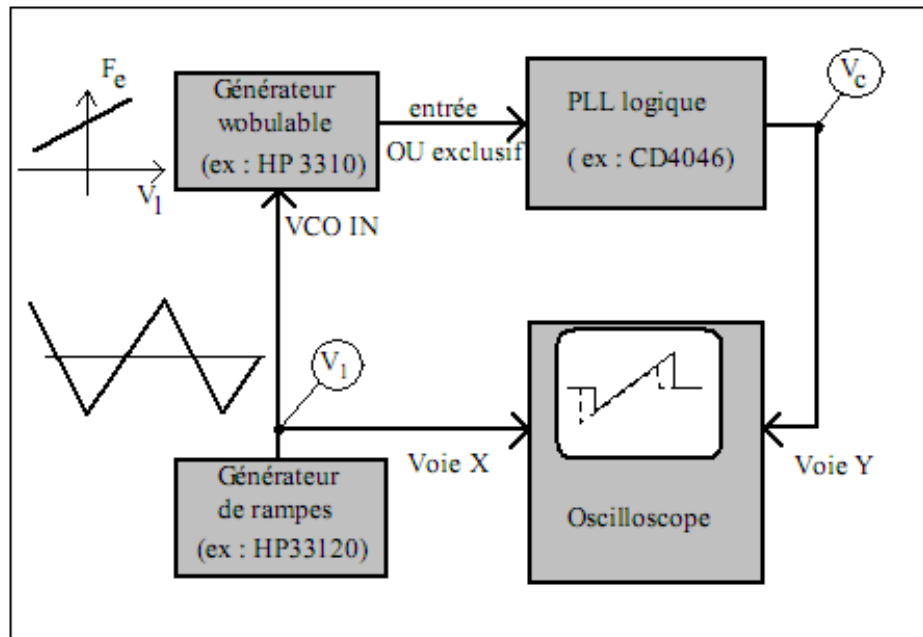


Figure 11 : Montage permettant de relever les plages de capture et verrouillage par wobulation

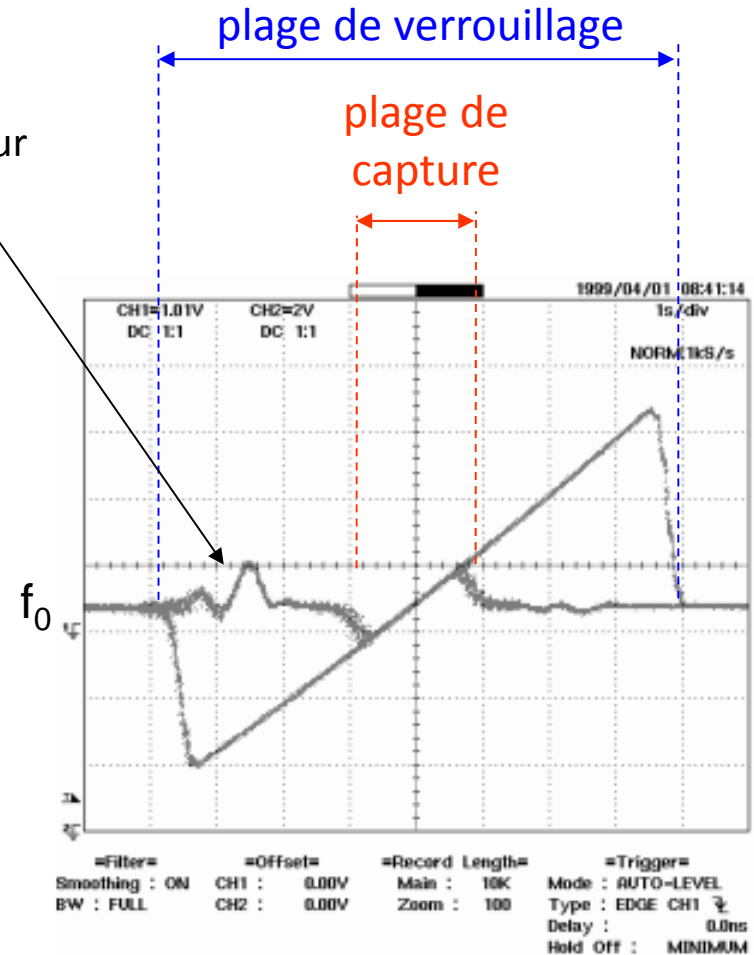


Figure 12 :  $V_c$  fonction de  $V_1$ , ou  $f_s$   
 fonction de  $f_e$   
 filtre passe-bas R-C ;  $R=30k\Omega$  et  $C=10nF$

## 2- La PLL numérique : accrochage de la boucle

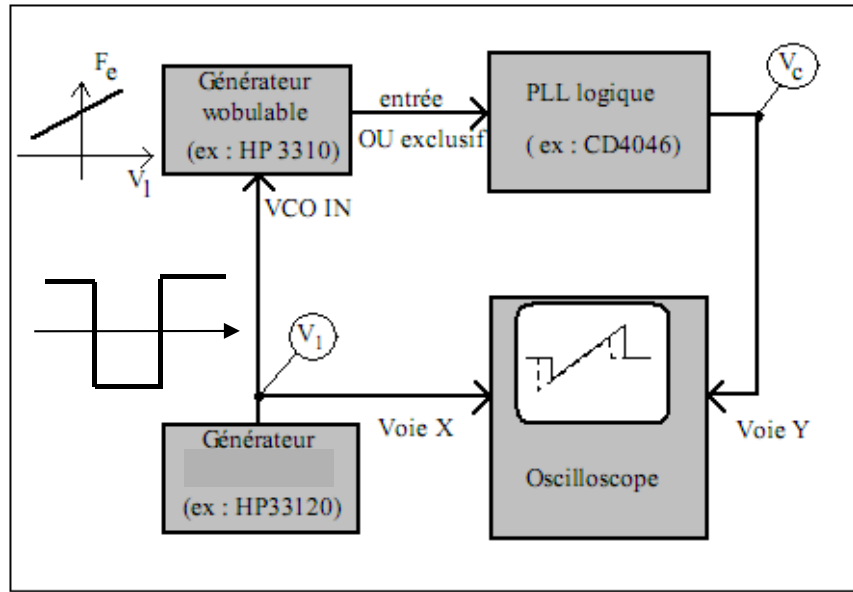


Figure 11 : Montage permettant de relever les plages de capture et verrouillage par wobulation

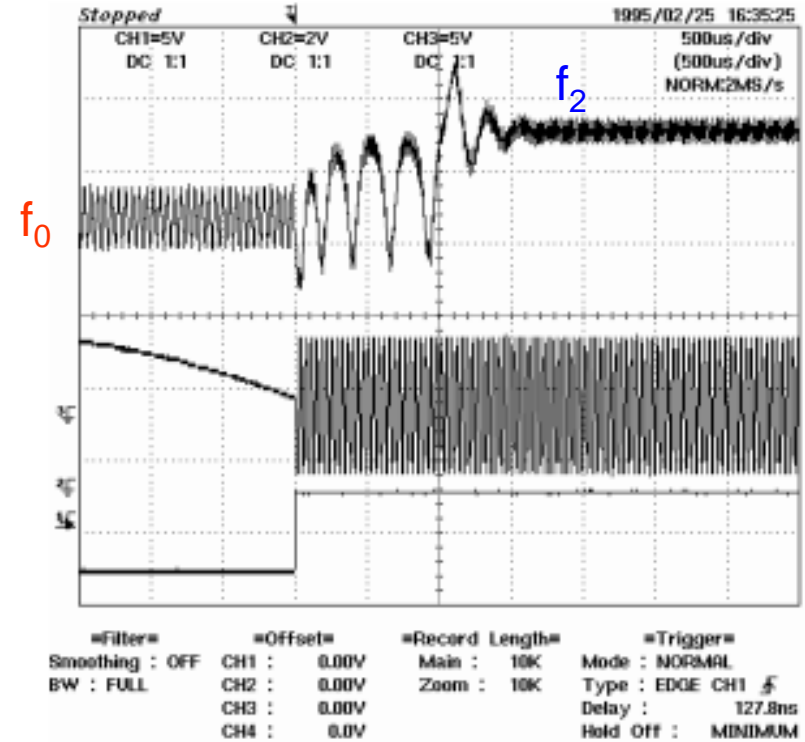
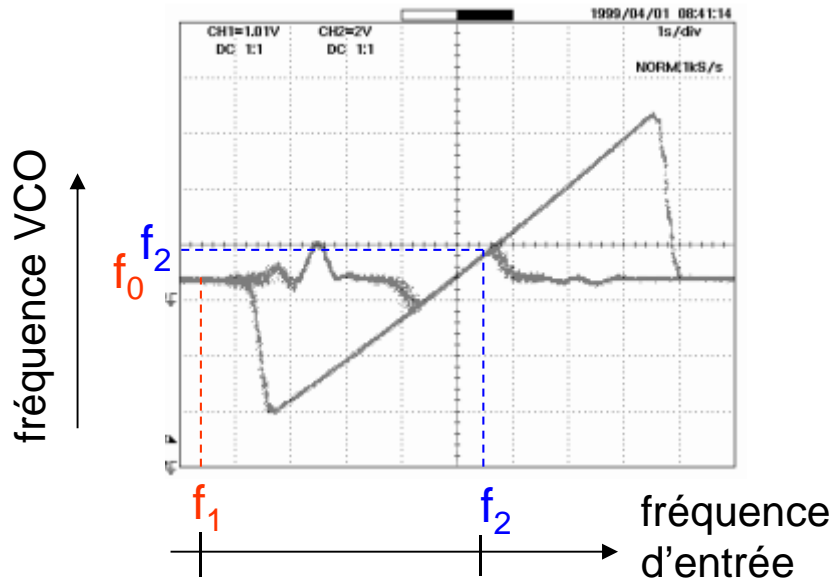


Figure 14 : Exemple d'accrochage d'une boucle à verrouillage de phase  
 haut : tension  $V_c$  de commande du VCO  
 milieu : signal d'entrée du OU exclusif  
 bas : échelon  $V_1$

fréquence propre : 
$$\omega_p = \sqrt{\frac{2\pi k_0 k_d}{\tau}}$$

facteur d'amortissement : 
$$\xi = \frac{1}{2} \sqrt{\frac{1}{2\pi k_0 k_d \tau}}$$

## 2- La PLL numérique : réponse à un changement de fréquence

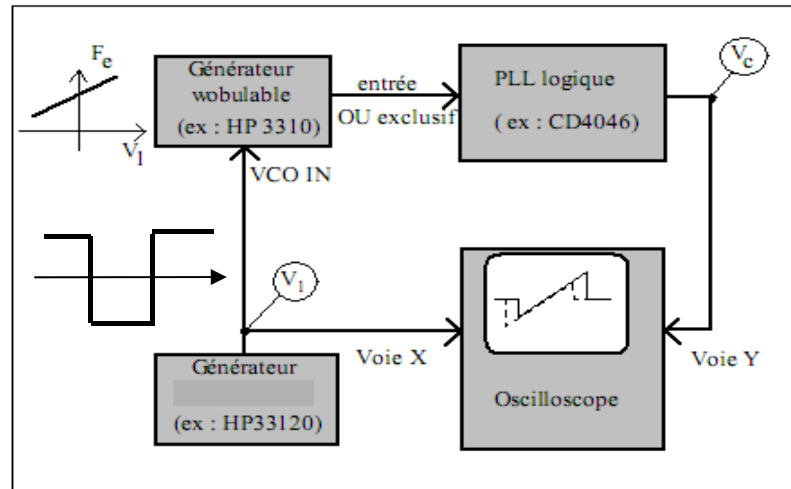


Figure 11 : Montage permettant de relever les plages de capture et verrouillage par wobulation

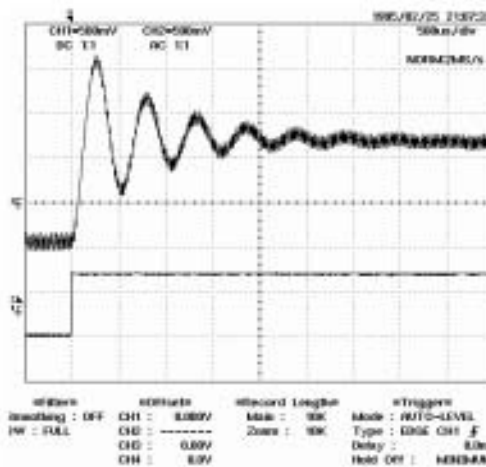


Figure 21 : Réponse à un échelon de fréquence  $\tau=500\mu\text{s}$   
 haut :  $V_c$   
 bas : échelon  $V_1$

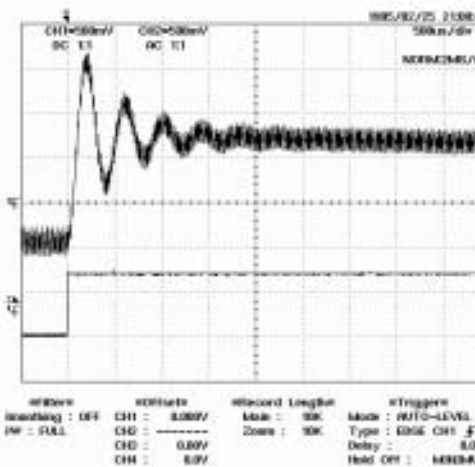


Figure 22 : Réponse à un échelon de fréquence  $\tau=300\mu\text{s}$   
 haut :  $V_c$   
 bas : échelon  $V_1$

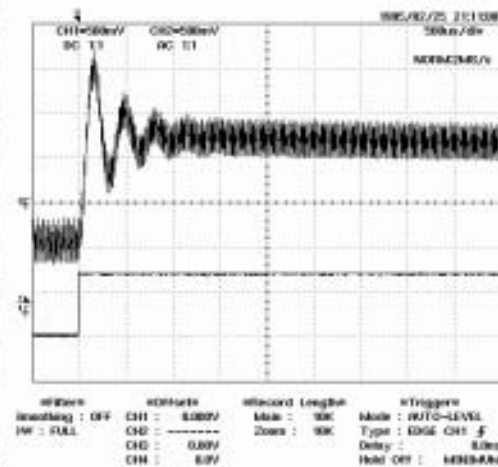


Figure 23 : Réponse à un échelon de fréquence  $\tau=200\mu\text{s}$   
 haut :  $V_c$   
 bas : échelon  $V_1$



## 2- La PLL numérique : cas de dysfonctionnement

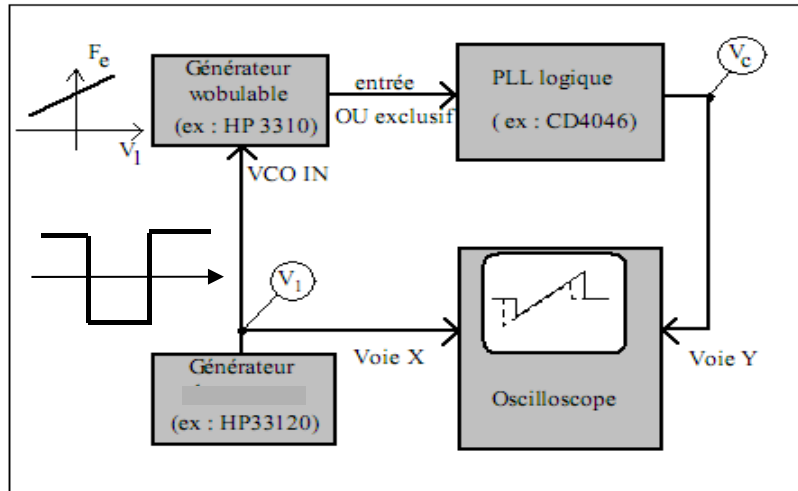


Figure 11 : Montage permettant de relever les plages de capture et verrouillage par wobulation

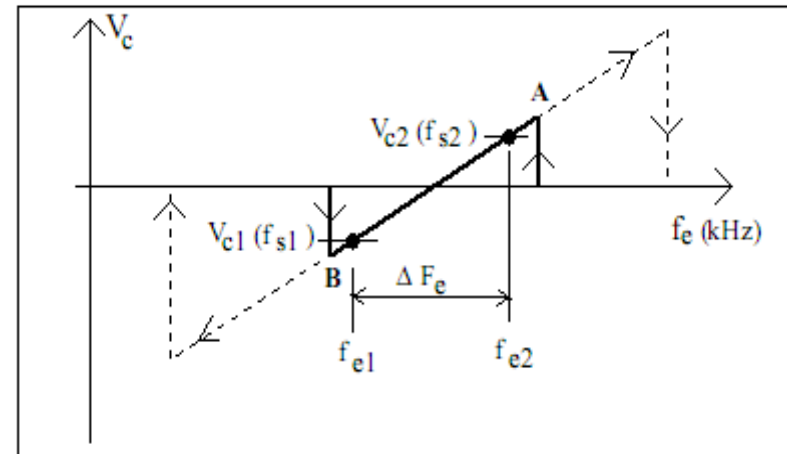


Figure 29 : Explication du déverrouillage lors d'un échelon de fréquence

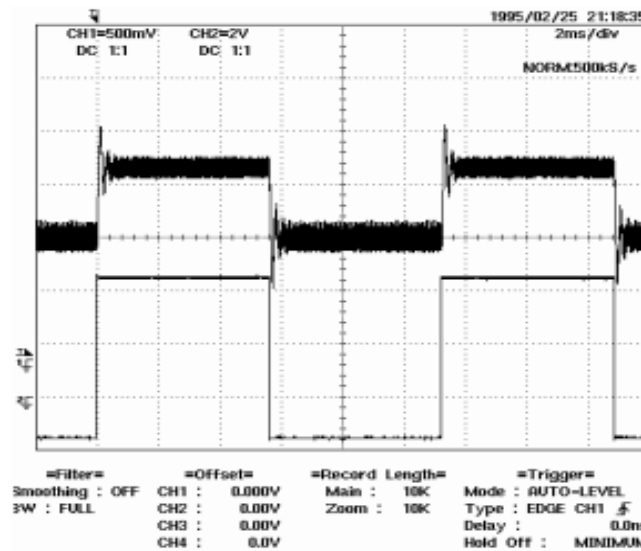


Figure 24 : Réponse à un échelon de fréquence  $\Delta F_e$ ,  $\tau = 100\mu s$   
haut:  $V_c$   
bas: échelon  $V_1$

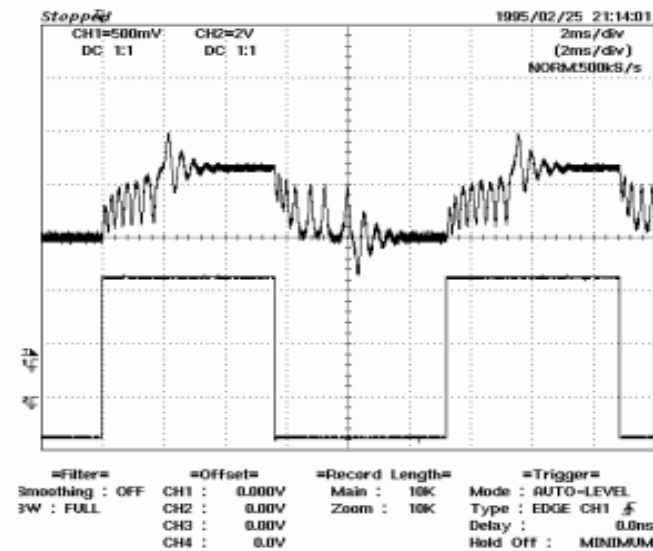


Figure 25 : Réponse à un échelon de fréquence  $\Delta F_e$ ,  $\tau = 300\mu s$   
haut:  $V_c$   
bas: échelon  $V_1$



## 2- La PLL numérique : réponse à diverses excitations en entrée

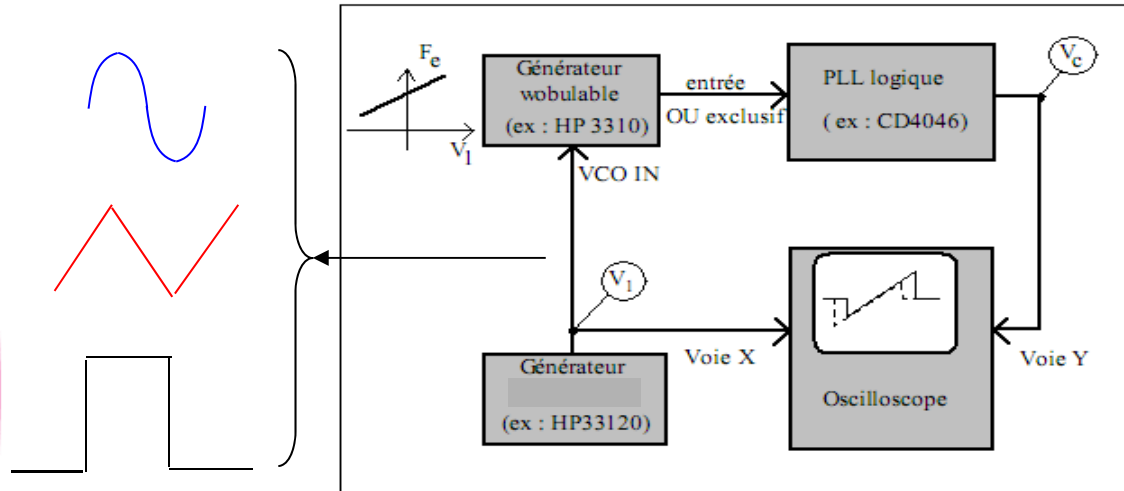


Figure 11 : Montage permettant de relever les plages de capture et verrouillage par wobulation

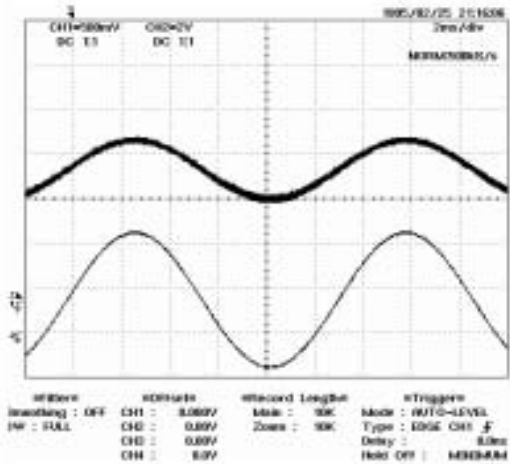


Figure 26 : Réponse à un modulant sinusoïdal  
 $\tau = 300\mu s$   
 haut:  $V_C$   
 bas: sinusoïde  $V_I$

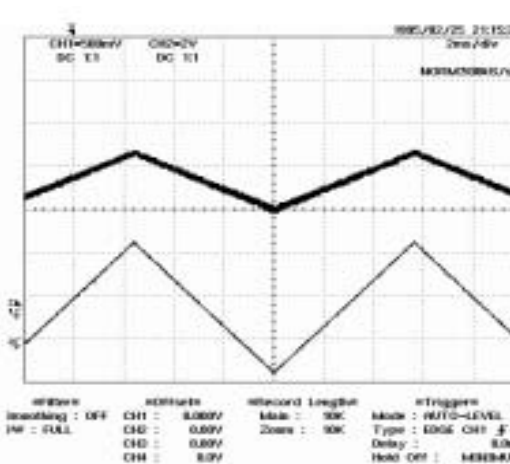


Figure 27 : Réponse à un modulant triangulaire  
 $\tau = 300\mu s$   
 haut:  $V_C$   
 bas: sinusoïde  $V_I$

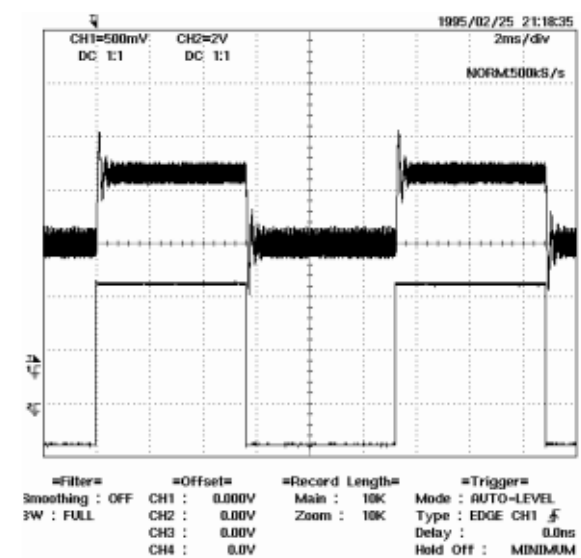
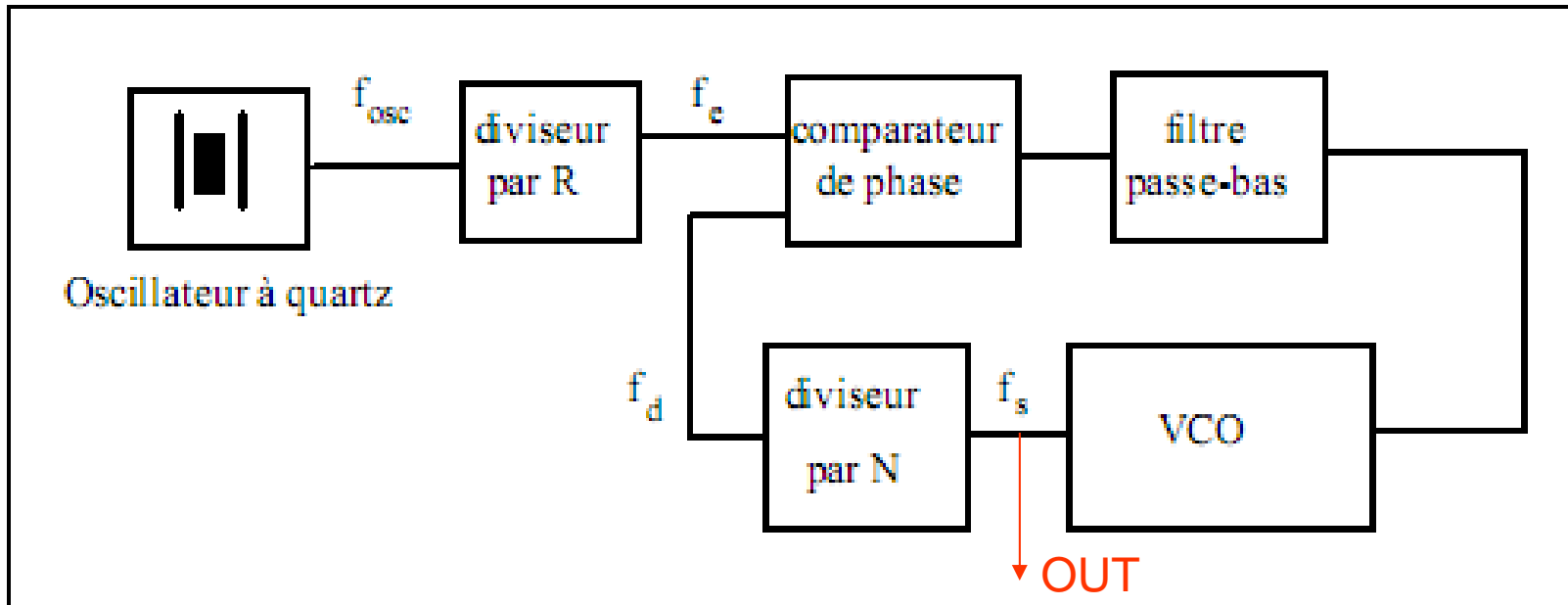


Figure 24 : Réponse à un échelon de fréquence  $\Delta F_e$ ,  $\tau = 100\mu s$   
 haut:  $V_C$   
 bas: échelon  $V_I$



### 3- Synthèse de fréquence par PLL



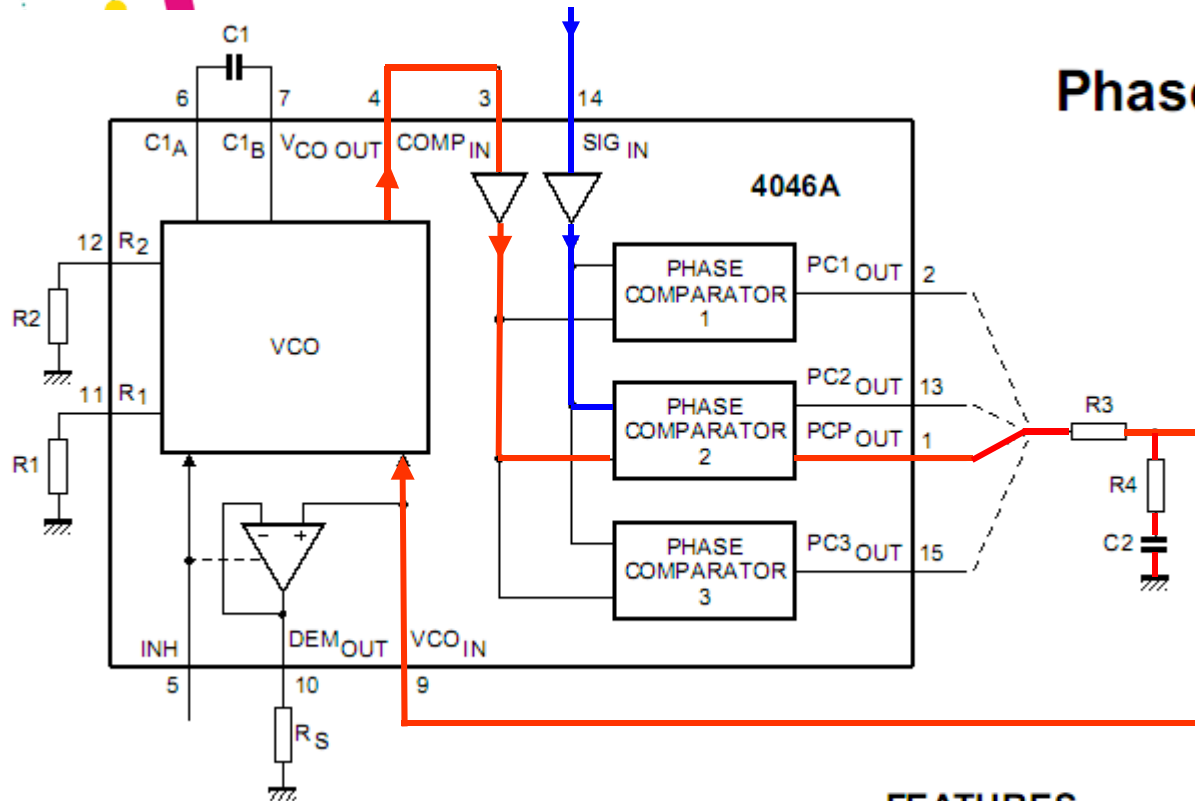
**Figure 30 :** Principe d'un synthétiseur de fréquences utilisant une boucle à verrouillage de phase

Les deux fréquences à l'entrée du comparateur de phase sont égales, d'où :

$$f_s = \frac{N}{R} f_{osc} \quad \text{avec} \quad \frac{\Delta f_s}{f_s} = \frac{\Delta f_{osc}}{f_{osc}}$$

- Le pas de fréquence est égal à  $f_{osc}/R$
- Le temps de basculement d'une fréquence à l'autre (ex : N passe de 2 à 3) dépend de la constante de temps du filtre passe-bas.

### 3- Synthèse de fréquence par PLL: intégration d'une PLL numérique



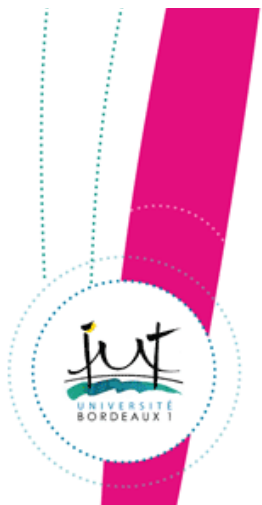
## Phase-locked-loop with VCO

74HC/HCT4046A

(NXP Semiconductors)

### FEATURES

- Low power consumption
- Centre frequency of up to 17 MHz (typ.) at  $V_{CC} = 4.5\text{ V}$
- Choice of three phase comparators: EXCLUSIVE-OR; edge-triggered JK flip-flop; edge-triggered RS flip-flop
- Excellent VCO frequency linearity
- VCO-inhibit control for ON/OFF keying and for low standby power consumption



## 4- Synthèse de fréquence par DDS

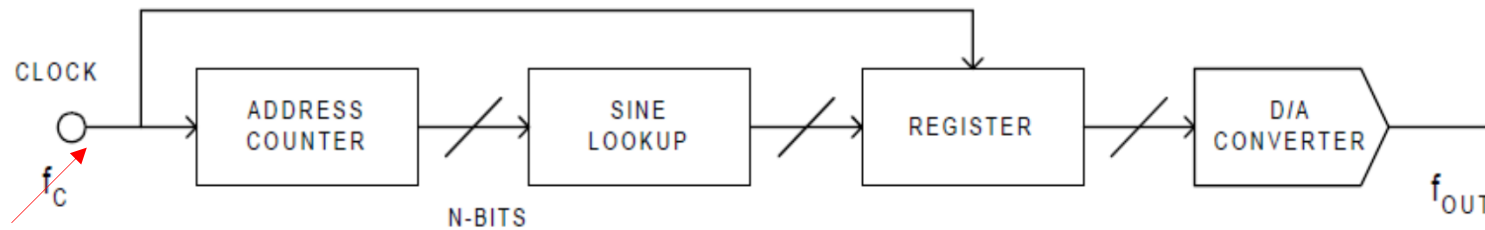
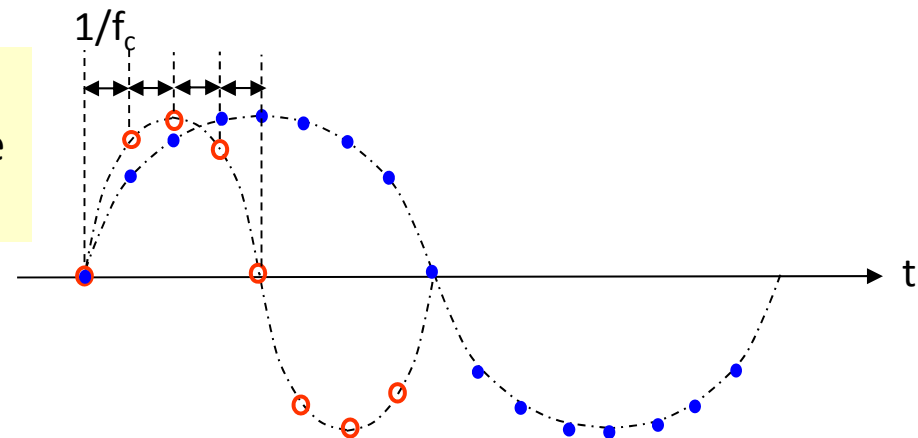


Figure 1-1. Simple Direct Digital Synthesizer

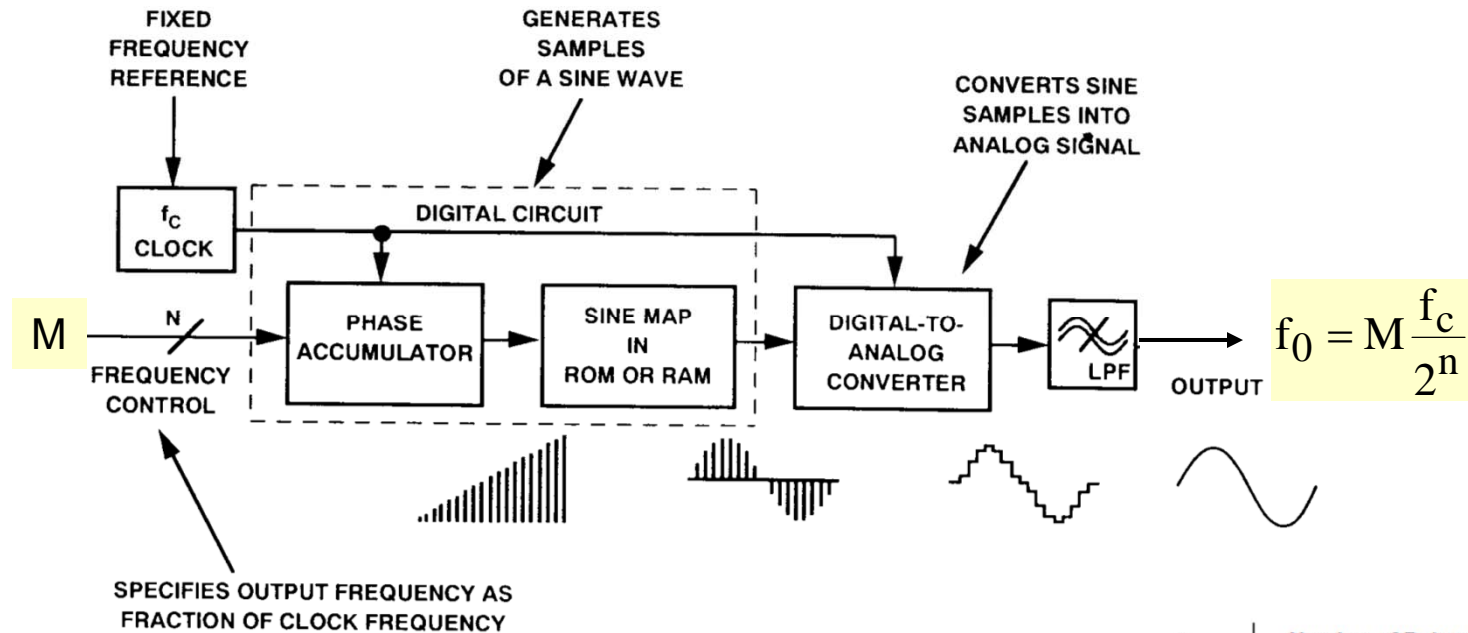
La fréquence  $f_{out}$  dépend :

- de la fréquence  $f_c$  de l'horloge de référence
- du pas de la table des sinus



Pour un même fréquence  $f_c$  d'horloge si la table contient dans un cas, 8 valeurs  $\circ$  de sinus et dans l'autre cas, 16 valeurs  $\bullet$ , la fréquence  $f_{out}$  est 2 fois plus faible quand 16 valeurs sont lues. C'est un système peu flexible car pour changer la fréquence avec  $f_c = C^{te}$ , il faut alors changer la table des sinus  $\rightarrow$  Intérêt de la DDS

## 4- Synthèse de fréquence par DDS : Un générateur de signaux numériques



$2^n$  = nombre de valeurs de sinus stockées dans une ROM  
 $M$  = paramètre de lecture

- Si  $M=1$ , toutes les valeurs de la table sont lues et  $f_0=f_c/2^n$ .
- Si seulement une valeur sur 2 est lue alors  $f_0=2f_c/2^n$ , etc ...
- La ROM contient  $2^n$  valeurs de sinus.
- En pratique, il n'est pas nécessaire de mémoriser les valeurs sur  $360^\circ$  mais seulement sur  $90^\circ$ .
- En pratique,  $f_H < 1$  GHz

n	Number of Points = $2^n$
8	256
12	4,096
16	65,536
20	1,048,576
24	16,777,216
28	268,435,456
32	4,294,967,296
48	281,474,976,710,656

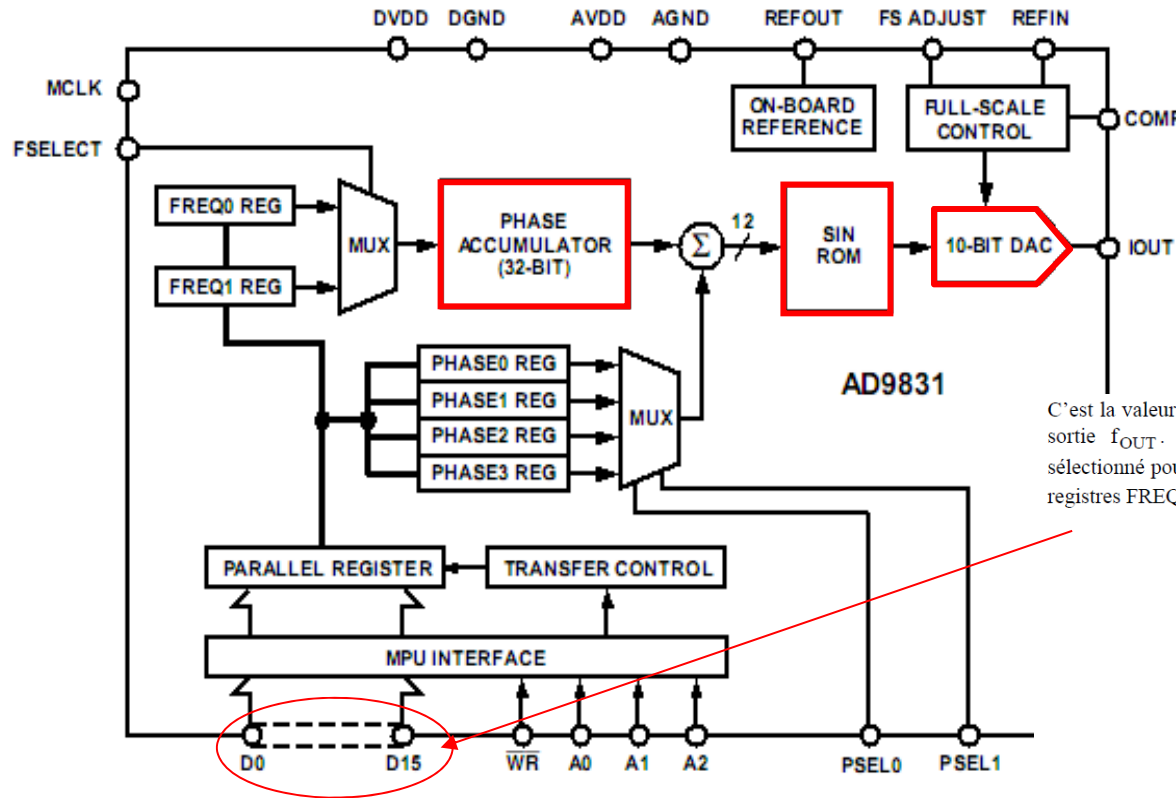
## 4- Synthèse de fréquence par DDS : un exemple de circuit

FUNCTIONAL BLOCK DIAGRAM



AD9831

CMOS Complete DDS



C'est la valeur contenue dans le **registre de fréquence** qui fixe la valeur de la fréquence de sortie  $f_{OUT}$ . Si FSELECT='0' (ou '1'), c'est le registre FREQ0 (ou FREQ1) qui est sélectionné pour le calcul de la fréquence. Les quatre bits A0, A1 et A2 servent à adresser les registres FREQ0 et FREQ1, PHASE0, 1, 2 et 3 (voir la Table II ci-dessous)

Table II. Addressing the Control Registers

A2	A1	A0	Destination Register
0	0	0	FREQ0 REG 16 LSBs
0	0	1	FREQ0 REG 16 MSBs
0	1	0	FREQ1 REG 16 LSBs
0	1	1	FREQ1 REG 16 MSBs
1	0	0	PHASE0 REG
1	0	1	PHASE1 REG
1	1	0	PHASE2 REG
1	1	1	PHASE3 REG

La fréquence  $f_{OUT}$  de sortie est donnée par la relation :

$$f_{OUT} = \frac{MCLK \times \text{Mot du registre FREQ0}}{2^{32}}$$

- Accumulateur de phase 32 bits
- Table de  $2^{12}$  valeurs de sinus
- Conversion N-A sur 10 bits



# 4- Synthèse de fréquence par DDS : limites sur $f_{OUT}$

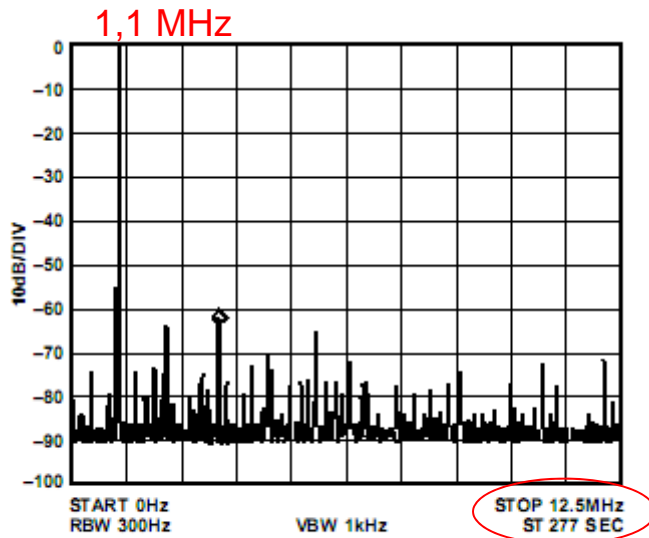


Figure 12.  $f_{MCLK} = 25 \text{ MHz}$ ,  $f_{OUT} = 1.1 \text{ MHz}$ , Frequency Word = B439581

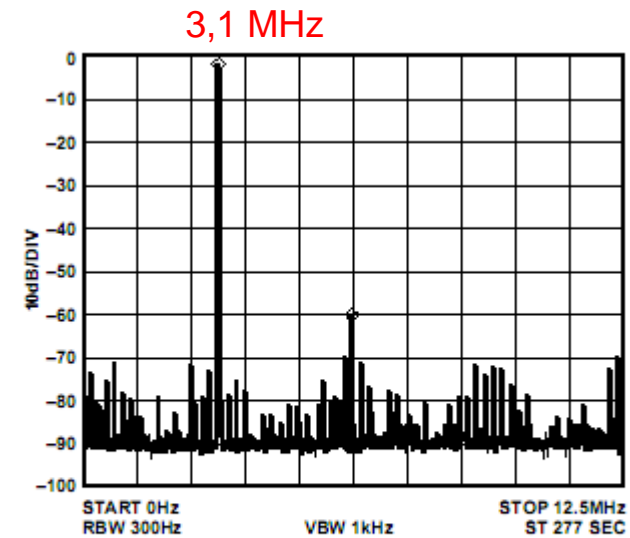


Figure 14.  $f_{MCLK} = 25 \text{ MHz}$ ,  $f_{OUT} = 3.1 \text{ MHz}$ , Frequency Word = 1FBE76C9

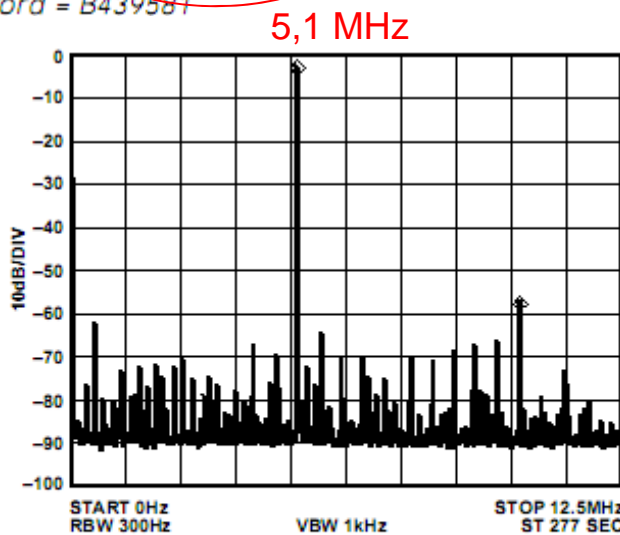


Figure 16.  $f_{MCLK} = 25 \text{ MHz}$ ,  $f_{OUT} = 5.1 \text{ MHz}$ , Frequency Word = 34395810

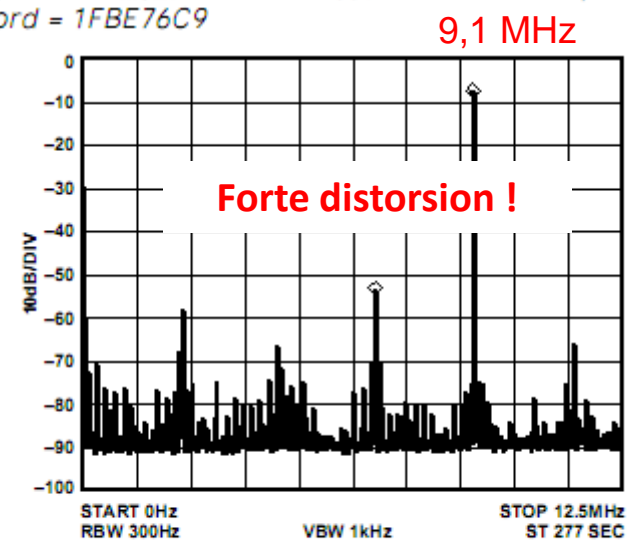


Figure 20.  $f_{MCLK} = 25 \text{ MHz}$ ,  $f_{OUT} = 9.1 \text{ MHz}$ , Frequency Word = 5D2F1AA0



# 4- Synthèse par PLL et DDS : Comparaison



Figure 3 : Photo de la maquette synthèse de fréquences par PLL et DDS

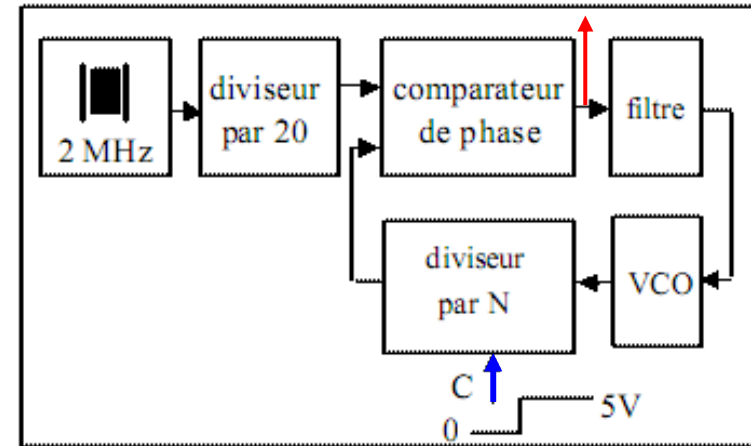


Figure 4 : Synoptique du synthétiseur par PLL

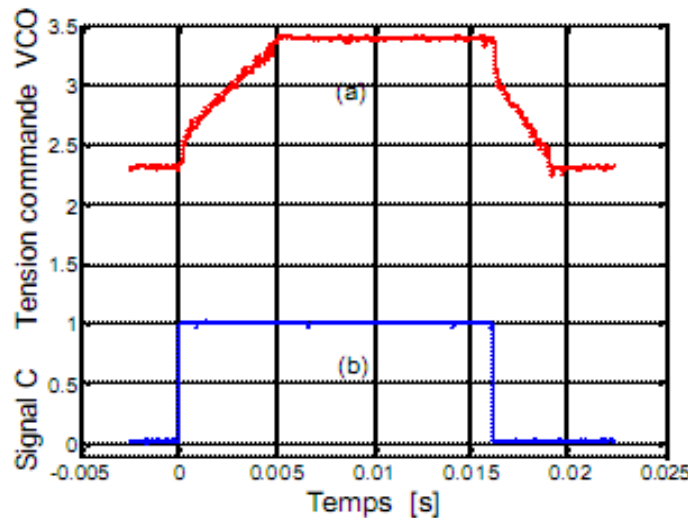


Figure 5 : (a) signal de commande du VCO, image de la fréquence, en réponse à un saut de fréquence, N passe de 2 à 3 puis de 3 à 2, (b) signal logique de commande C (x par 0,2)

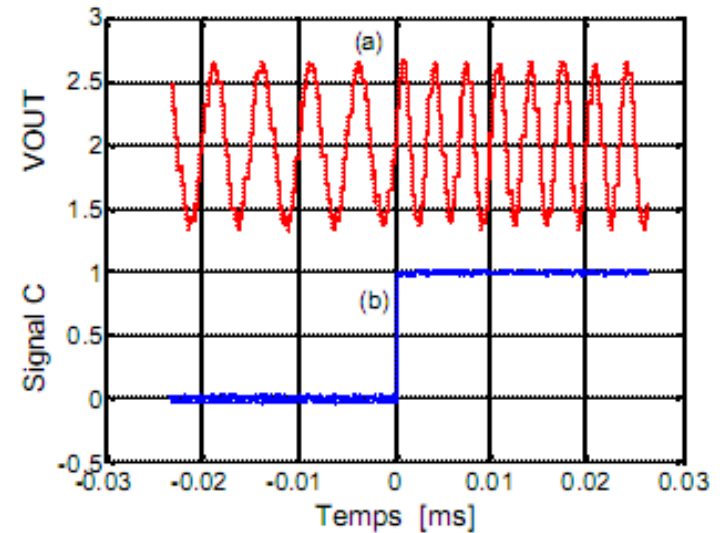


Figure 9 : (a) signal de sortie du synthétiseur lors d'un saut de fréquence de 200 kHz à 300 kHz, (b) signal de commande FSELECT(x par 0,2)



## 4- Synthèse par PLL et DDS : Comparaison

	avantage	inconvenient	Exemple d'application
Synthèse par PLL	Permet de générer une fréquence supérieure à la fréquence de référence $f_H$	Le temps de transition entre deux fréquences peut être long, il dépend du filtre de boucle et des constantes du comparateur de phase et du VCO	- Horloge pour processeur - Fréquence porteuse en télécommunication (téléphonie, TV, ...)
Synthèse par DDS	Le temps de transition entre deux fréquences est très court, c'est dans le pire cas une période d'horloge MCLK	La fréquence maximale synthétisée est limité à $f_H / 2$	- Générateur de signaux