

# Boucle à verrouillage de phase

principe, applications,...

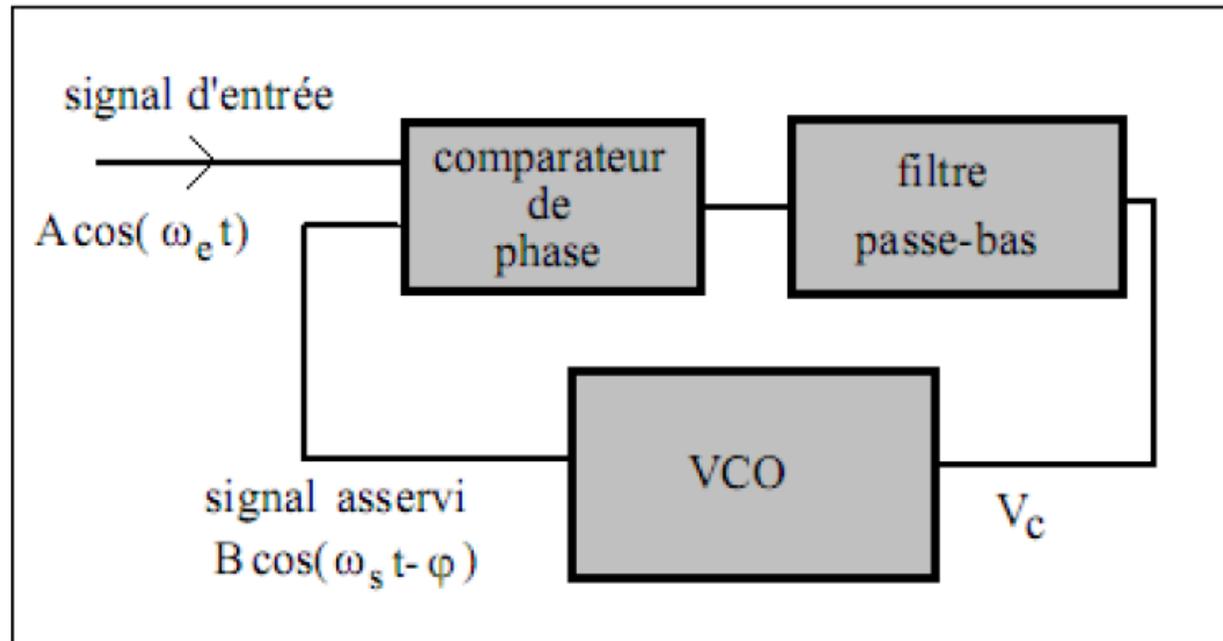
- Structure
- Principe de fonctionnement
- Applications :
  - Reconstruction de porteuse
  - Démodulation de fréquence
  - Synthèse de fréquence

# Définition d'une boucle à verrouillage de phase

Une Boucle à verrouillage de phase (Phase Locked Loop ou PLL en anglais) est un système bouclé qui réalise un asservissement de la phase instantanée d'un oscillateur local avec la phase instantanée d'un signal extérieur.



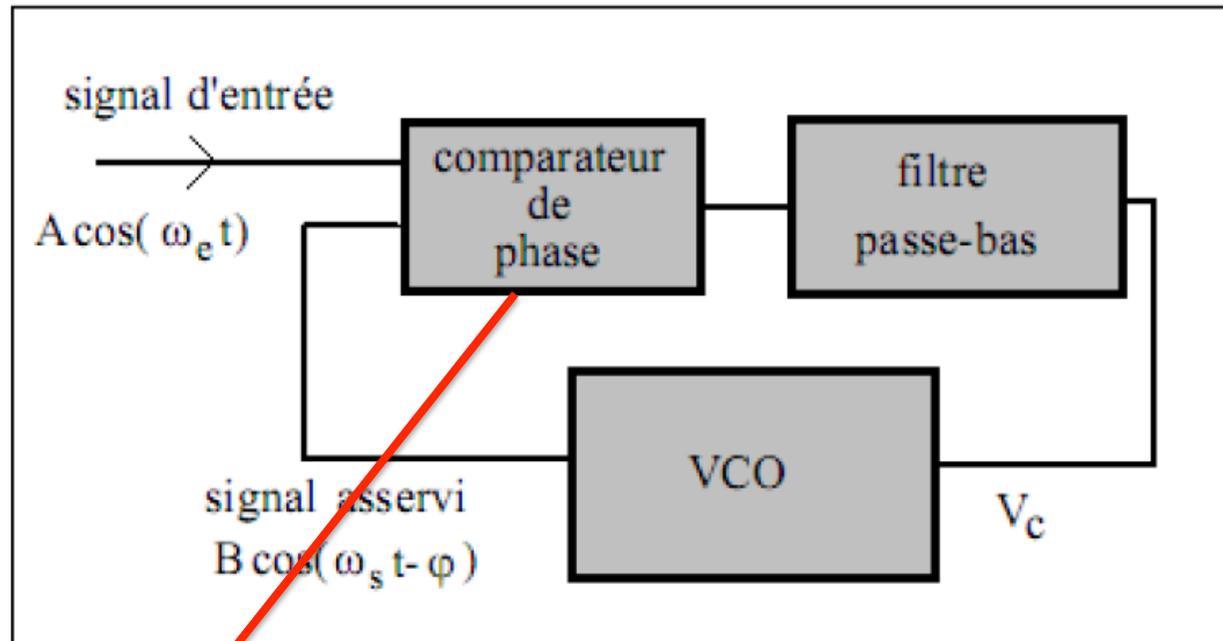
# Structure d'une boucle à verrouillage de phase



Une boucle à verrouillage de phase requiert 3 éléments :

- Un comparateur de phase
- Un filtre passe bas
- Un oscillateur contrôlé en tension

# Structure d'une boucle à verrouillage de phase analogique



Le **comparateur de phase** peut-être réalisé par :

- Un multiplieur (PLL analogique)
- Un ou exclusif, une bascule, ... (PLL numérique)

# Structure d'une boucle à verrouillage de phase analogique

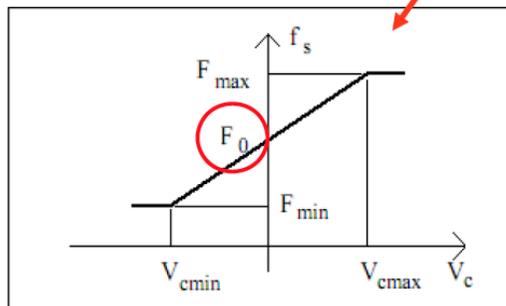
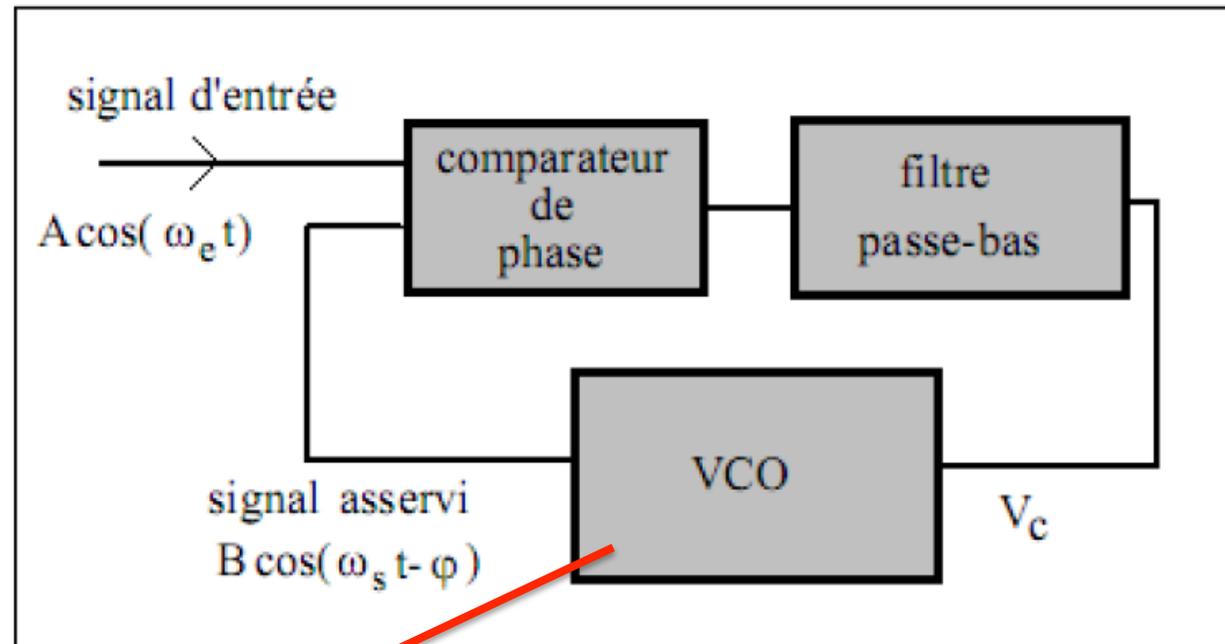


Figure 2 : Caractéristique linéarisée du VCO avec saturation

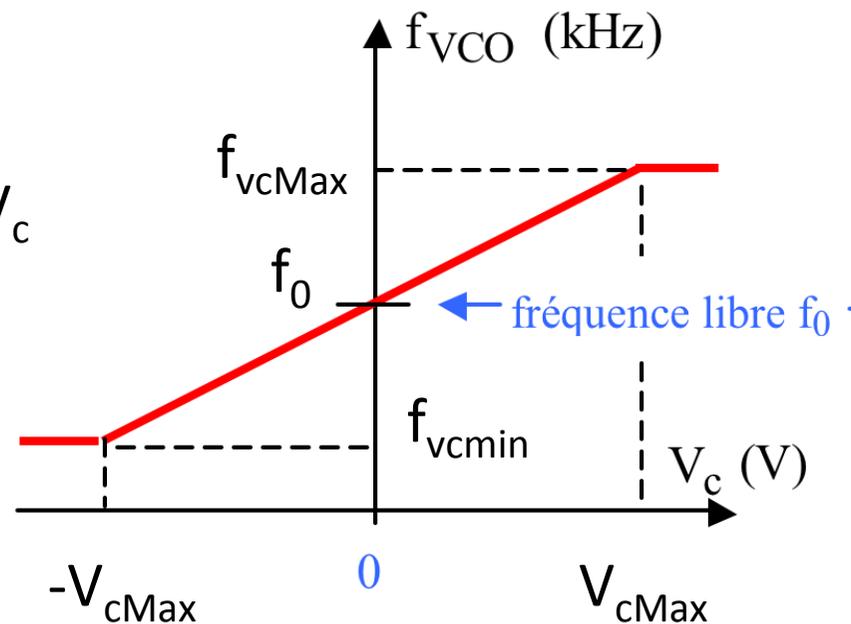
$F_0$  : fréquence libre du VCO

L'oscillateur contrôlé en tension, ou Voltage Controlled Oscillator VCO en anglais, est un oscillateur dont la fréquence dépend d'une tension  $V_c$

# Courbe de réponse du VCO

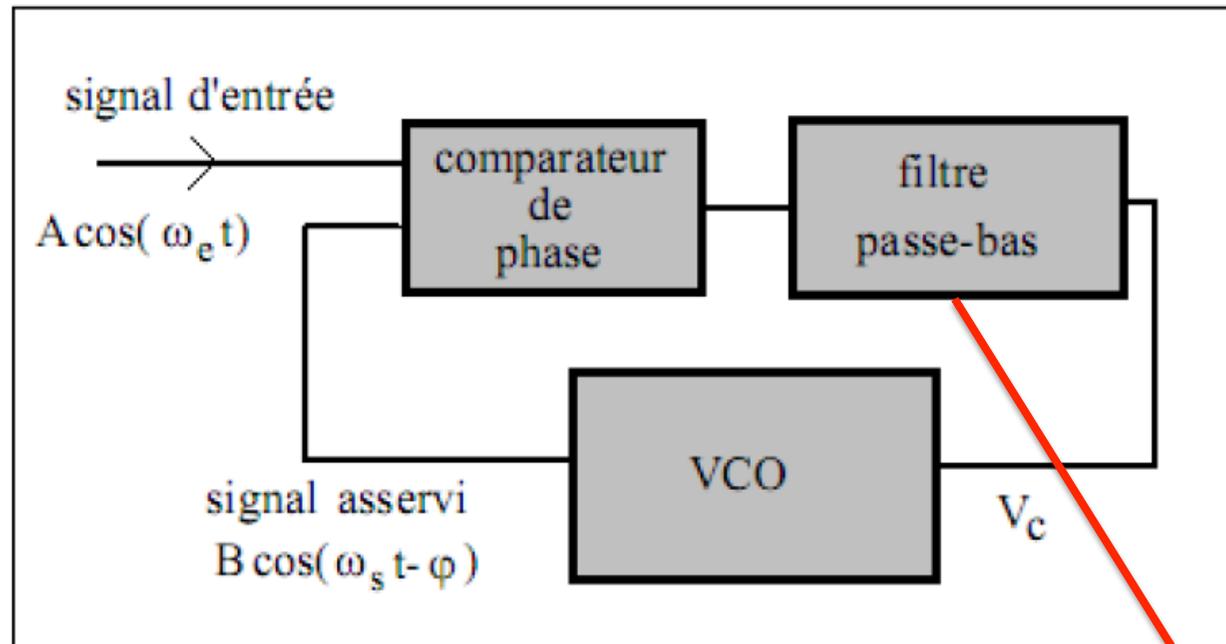


$$f_{vco} = f_0 + a \times V_c$$



L'oscillateur contrôlé en tension (ou Voltage Controlled Oscillator VCO en anglais) est un oscillateur dont la fréquence  $f_{vco}$  dépend d'une tension  $V_c$

# Structure d'une boucle à verrouillage de phase analogique



Le filtre passe-bas est caractérisé par une fréquence de coupure  $F_c$

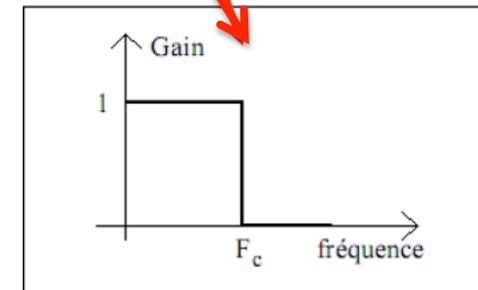


Figure 3 : Caractéristique du filtre passe-bas

Filtre passe-bas = filtre idéal  
(pente infinie)

# Fonctionnement d'une PLL analogique

$$v_e(t) = A \cos(\omega_e t) = A \cos(\Psi_e(t))$$

$$v_s(t) = B \cos(\omega_s t - \varphi) = B \cos(\Psi_s(t))$$

$\Psi_{e,s}(t)$  est la phase instantanée de respectivement  $V_{e,s}(t)$

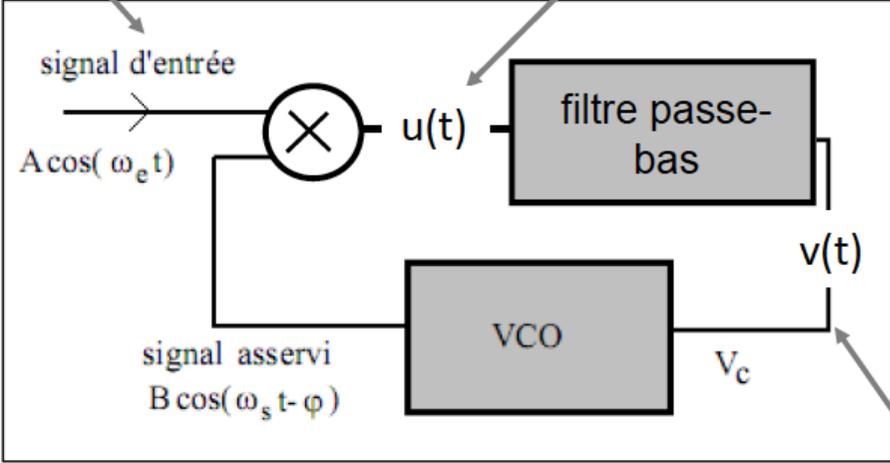
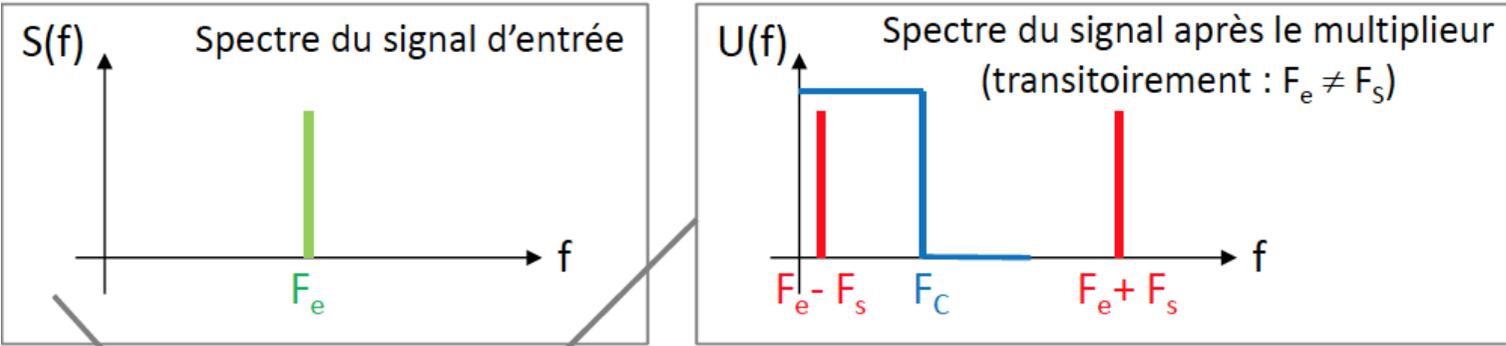
Le principe de ce circuit est de réaliser un asservissement de phase :  
la phase instantanée de  $v_s(t)$  est asservie à la phase instantanée de  $V_e(t)$

$$\Psi_s(t) = \Psi_e(t) + cste \quad \longrightarrow \quad \omega_s t - \varphi = \omega_e t + cste$$

$$\omega_s = \omega_e \quad \text{et} \quad (-\varphi) = cste$$

On obtient donc aussi un  
asservissement de fréquence  
avec une erreur nulle sur  $f$

# Fonctionnement d'une PLL analogique



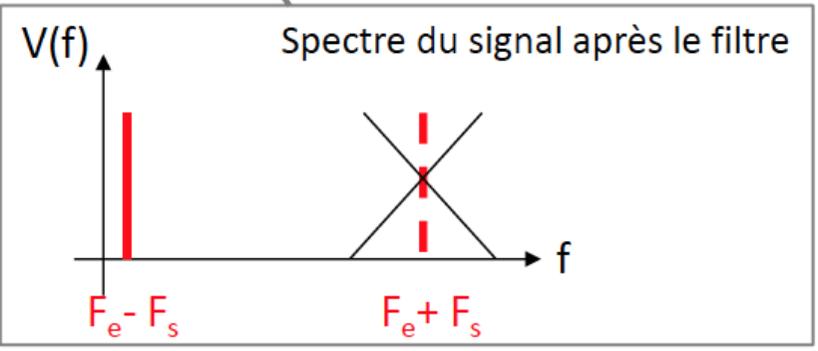
$$u(t) = A \cos(\omega_e t) \cdot B \cos(\omega_s t - \varphi)$$

$$= \frac{kAB}{2} [\cos((\omega_e - \omega_s)t + \varphi) + \cos((\omega_e + \omega_s)t - \varphi)]$$

Figure 1 : Schéma de principe d'une boucle à verrouillage de phase

En condition d'accrochage  
(régime statique) :  
 $F_s = F_e$  et  $\varphi = f(V_c)$

:  $\varphi$  varie généralement autour de  $\pi/2$



# Boucle verrouillée

$$u(t) = A \cos(\omega_e t) \cdot B \cos(\omega_s t - \varphi) = \frac{kAB}{2} [\cos((\omega_e - \omega_s)t + \varphi) + \cos((\omega_e + \omega_s)t - \varphi)]$$

- Si  $F_{V_{cmin}} < F_e < F_{V_{cmax}}$  et  $|F_e - F_0| < F_c$

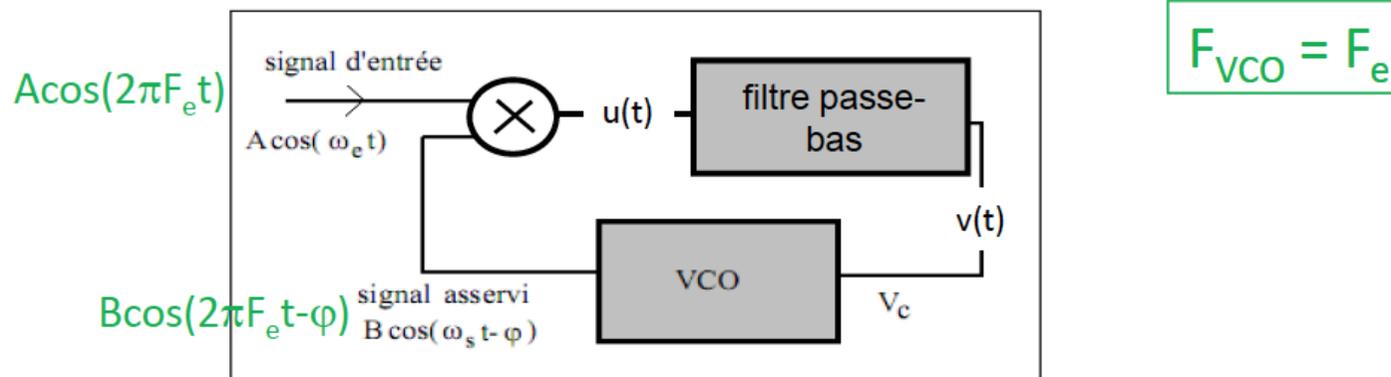
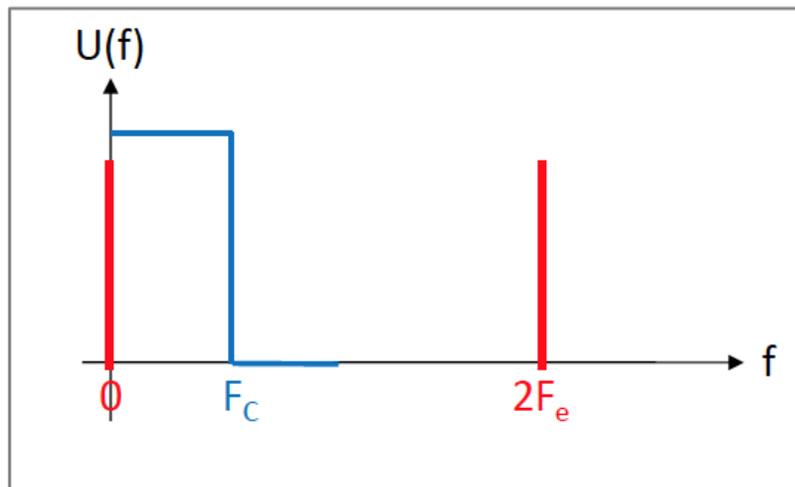
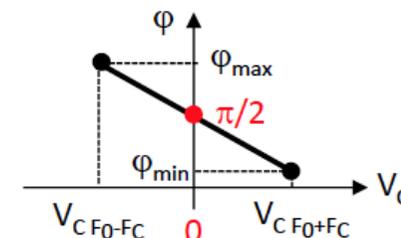


Figure 1 : Schéma de principe d'une boucle à verrouillage de phase



Verrouillage et  $V_C = AB \cdot \cos \varphi / 2$   
 $\Rightarrow \varphi = \text{Arccos}(2V_C / AB)$

Rq : Si  $F_e = F_0 \Rightarrow$   
 $\varphi = \pi/2$  et  $V_C = 0$



# Boucle non verrouillée

$$u(t) = A \cos(\omega_e t) \cdot B \cos(\omega_s t - \varphi) = \frac{kAB}{2} [\cos((\omega_e - \omega_s)t + \varphi) + \cos((\omega_e + \omega_s)t - \varphi)]$$

- Si  $F_e < F_{Vcmin}$  ou  $F_e > F_{Vcmax}$  et  $|F_e - F_0| > F_c$

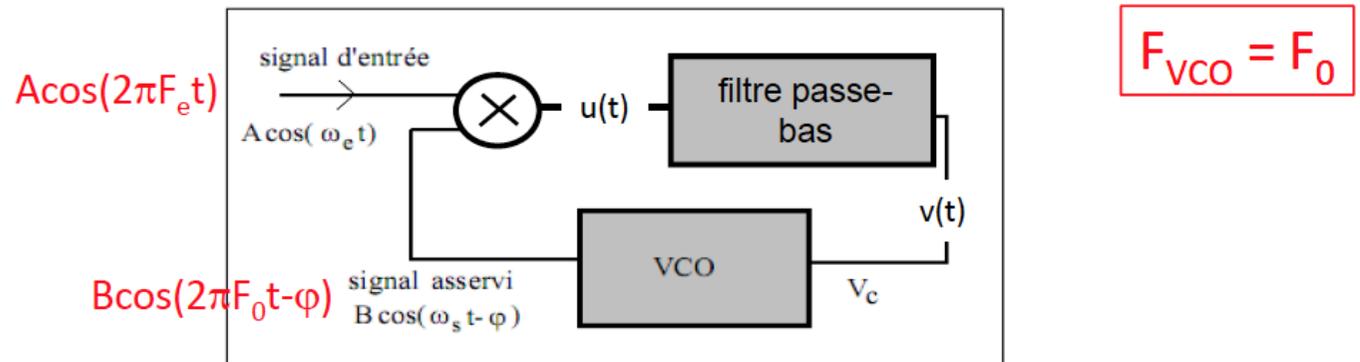
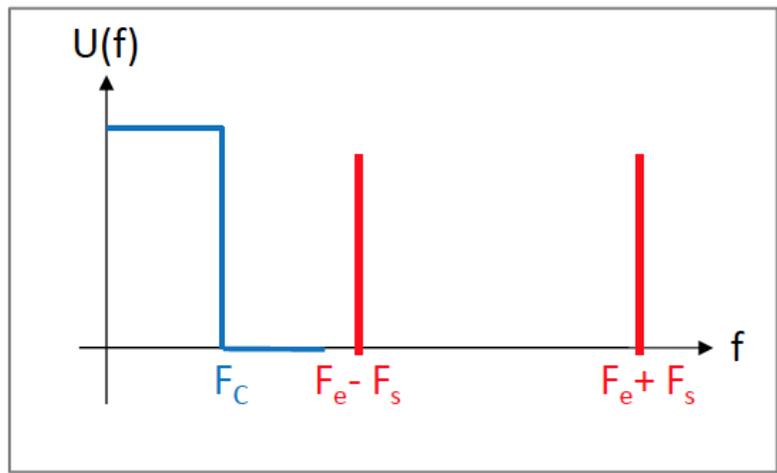
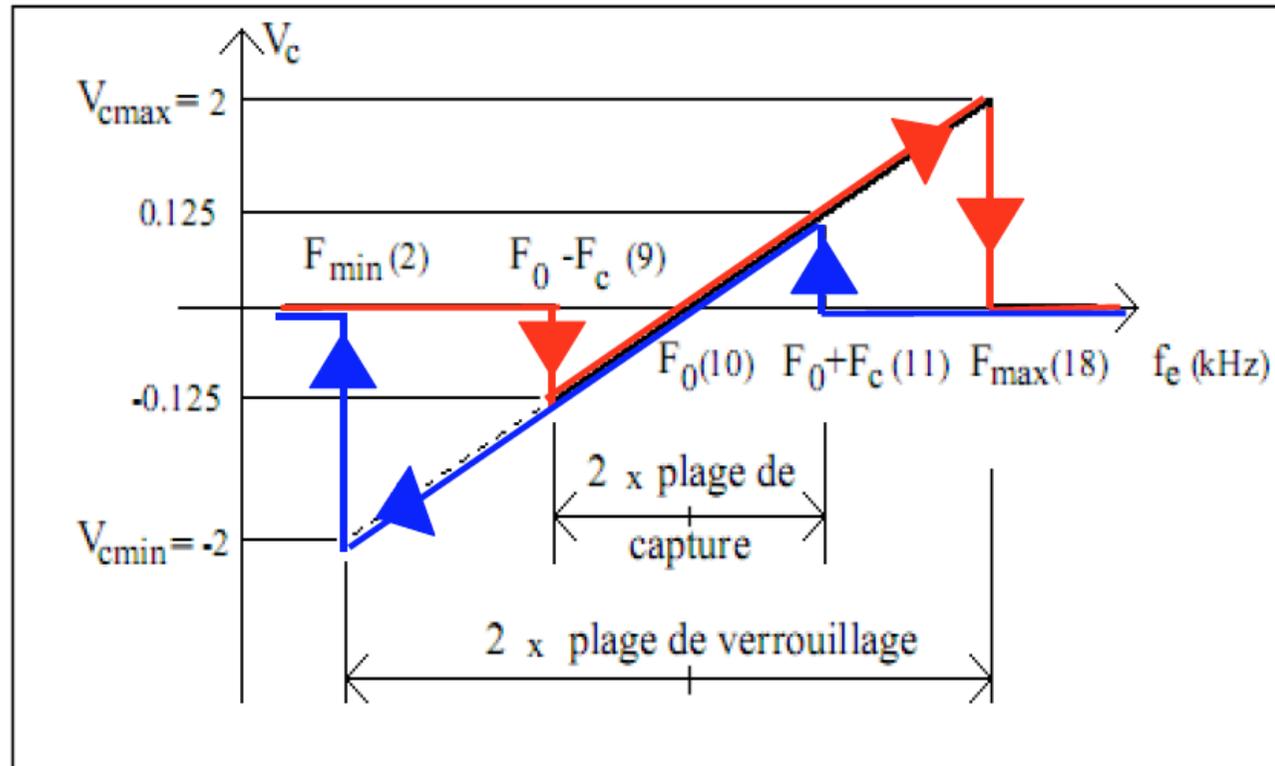


Figure 1 : Schéma de principe d'une boucle à verrouillage de phase



$V_c = 0$   
 $\Rightarrow$  Pas de relation  
 entre  $\varphi$  et  $F_e$   
 car pas de verrouillage !

# Plage de capture et plage de verrouillage



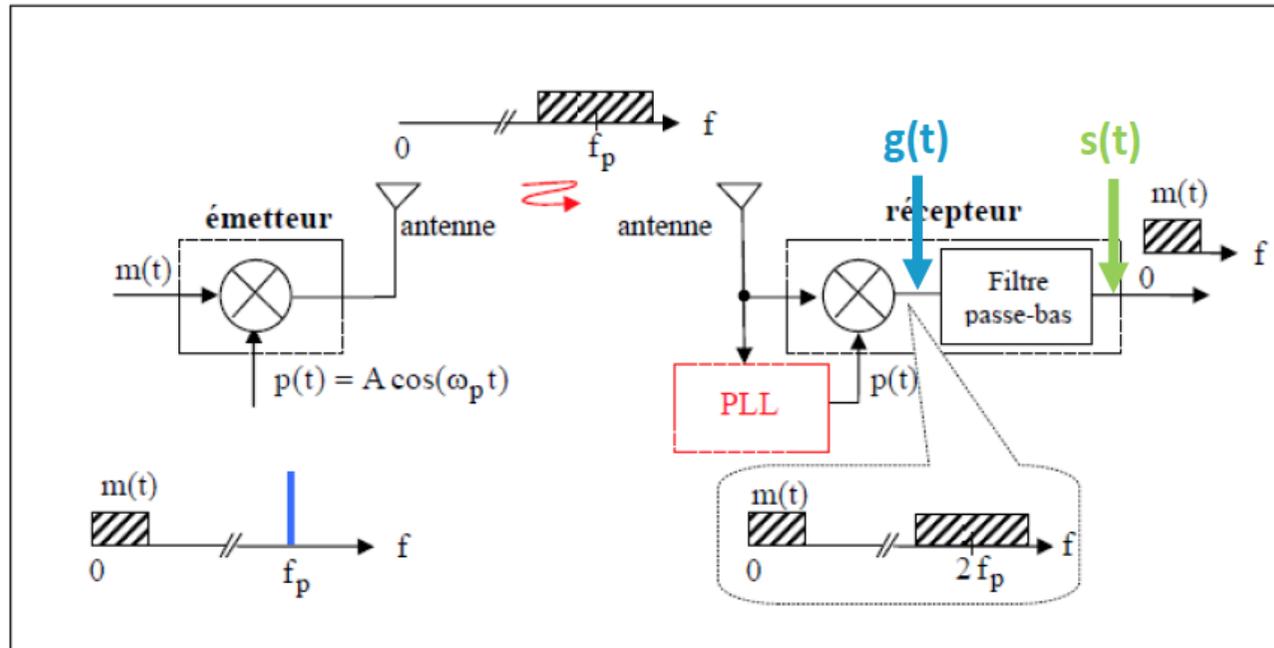
**Figure 4 :** Variation de la tension de commande  $V_c$  du VCO en fonction de la fréquence d'entrée  $f_e$

- Dans la plage de capture, la fréquence du VCO finit toujours par être égale à la fréquence de référence à l'entrée, les signaux d'entrée et du VCO sont déphasés.
- Dans la plage de verrouillage, hors plage de capture, la fréquence du VCO est :
  - Soit égale à la fréquence d'entrée
  - Soit égale à sa fréquence libre  $F_0$

# Applications

- 1) Récupération de porteuse
- 2) Démodulation de fréquence
- 3) Synthèse de fréquence

# Applications : recouvrement de porteuse



Rôle du récepteur => récupérer le signal utile (la voix par ex.) en régénérant une porteuse pour la multiplier par le signal émis

- Sans la PLL :

Signal en réception (après le multiplieur)

$$\Rightarrow g(t) \propto [A.m(t).\cos(\omega_p t)].p(t) = [A.m(t).\cos(\omega_p t)].A\cos(\omega_p t - \phi)$$

\* si  $\phi = 0 \Rightarrow$  Signal après le filtre passe-bas  $\Rightarrow s(t) \propto [A^2.m(t)/2]$

\* mais si  $\phi = \pi/2 \Rightarrow$  Signal après le filtre passe-bas  $\Rightarrow s(t) = 0 !!$

- Rôle de la PLL : Eviter  $s(t) = 0$  en verrouillant la phase de la porteuse régénérée en réception. On asservit la phase d'un oscillateur à celle d'un signal de référence.

# Applications : démodulation de fréquence

Modulation de fréquence :  $V_e(t) = V_{e0} \cos(\omega_e(t) \times t + \varphi_e)$

$$\Psi_s(t) = \Psi_e(t) + cste \quad \omega_e(t) = \omega_{e0} + m \times S(t)$$

$$\omega_s t - \varphi_s = \omega_e(t) \times t + \varphi_e + cste$$

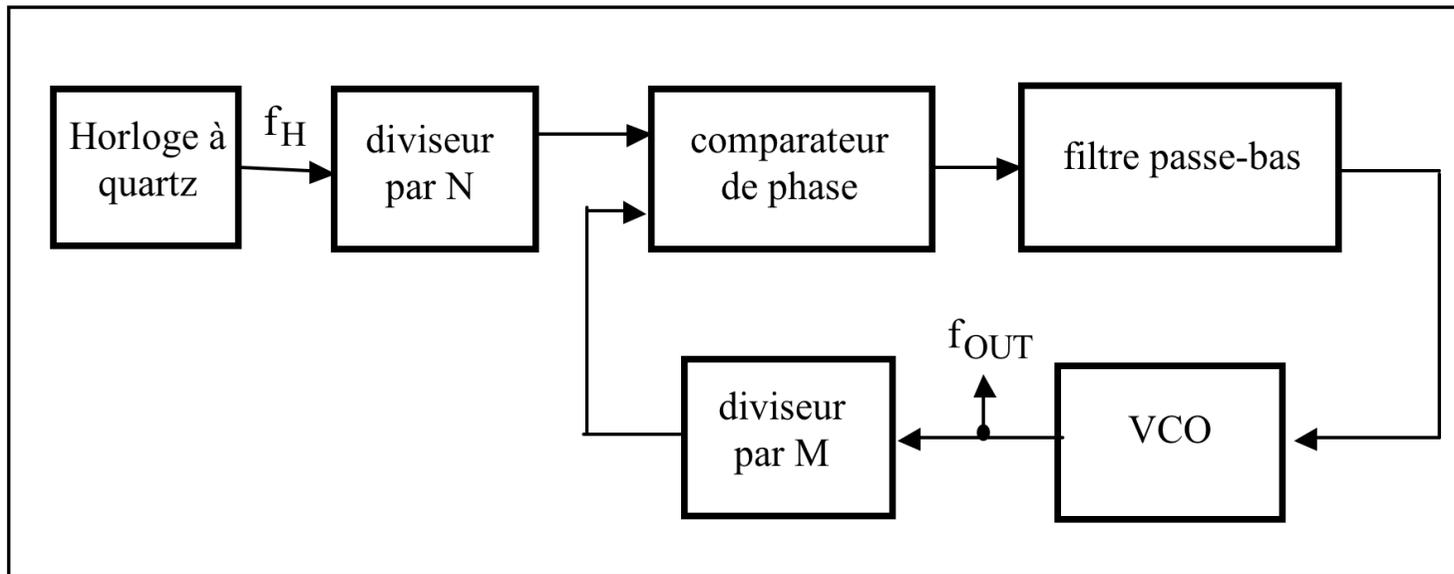
$$\omega_s = \omega_e(t) \quad \longrightarrow \quad \omega_{s0} + a \times V_C(t) = \omega_{e0} + m \times S(t)$$

$$V_C(t) = \frac{m}{a} \times S(t)$$

Il faut que la fréquence du VCO suive les variations dans le temps de la fréquence du signal d'entrée, il faut donc que la tension  $V_C$  reproduise les variations du signal qui a modulé la fréquence du signal d'entrée.

Il faudra choisir une fréquence de coupure du filtre de la PLL plus grande que la fréquence max du signal modulant.

# Applications : synthèse de fréquence



En rajoutant des diviseurs au schéma d'une PLL, puisque les fréquences des signaux situés à l'entrée du comparateur de phase sont identiques lorsque la boucle est verrouillée, on obtient :

$$f_{OUT} = \frac{f_H}{N} M$$

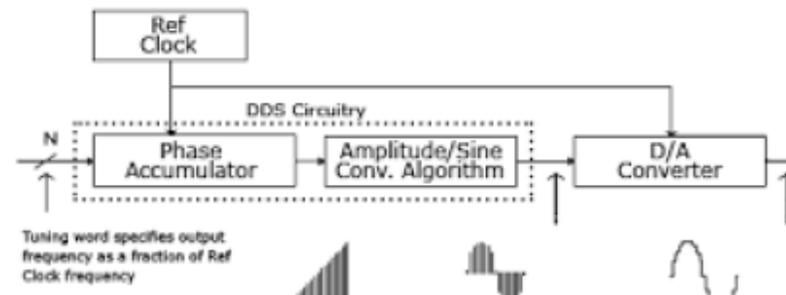
avec

$$\frac{\Delta f_{OUT}}{f_{OUT}} = \frac{\Delta f_H}{f_H}$$

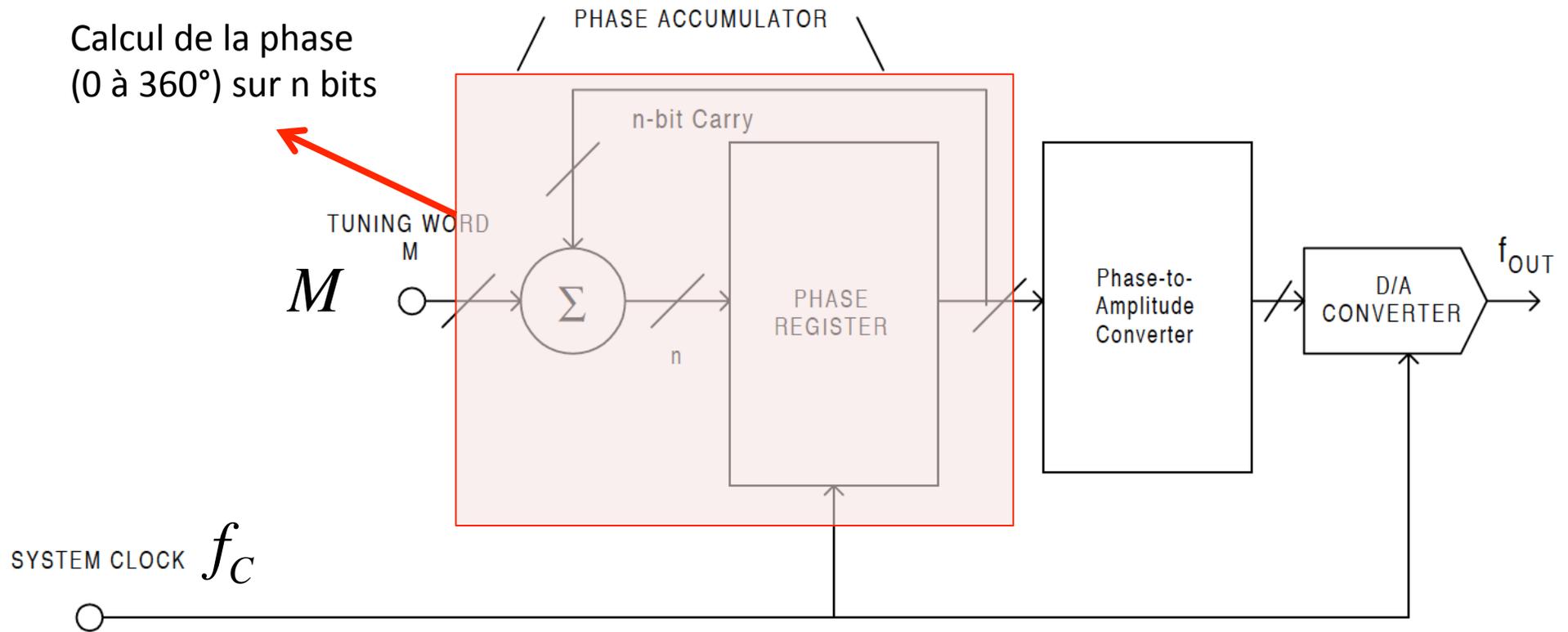
# Synthèse de fréquence : généralités

Effectuer la synthèse de fréquence, c'est générer à partir d'un oscillateur maître de grande stabilité, d'autres fréquences plus faibles ou plus grandes mais avec la même précision relative.

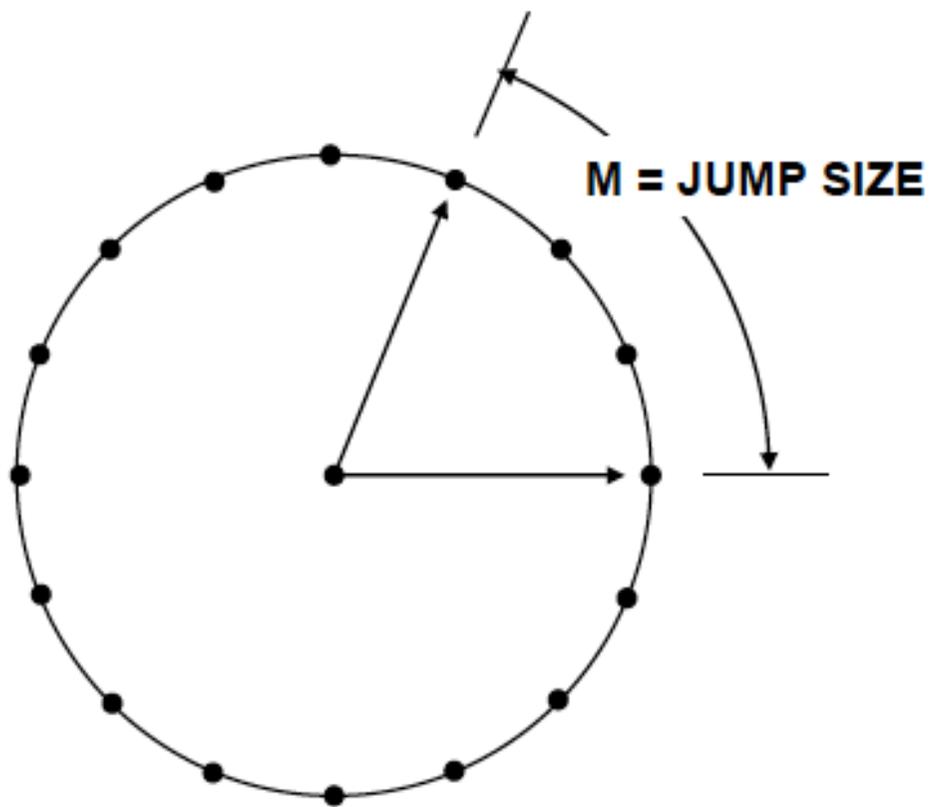
- La génération par **boucle à verrouillage PLL** (« Phase-Locked Loop ») permet de générer des fréquences plus grandes que la fréquence de l'oscillateur maître. L'inconvénient réside dans le temps de commutation d'une fréquence à une autre.
- La génération par **synthèse numérique directe DDS** (« Direct Digital Synthesis ») permet de générer seulement des fréquences inférieures à la fréquence de l'oscillateur maître. L'avantage réside dans le faible temps de commutation d'une fréquence à une autre.



# Synthèse de fréquence : DDS



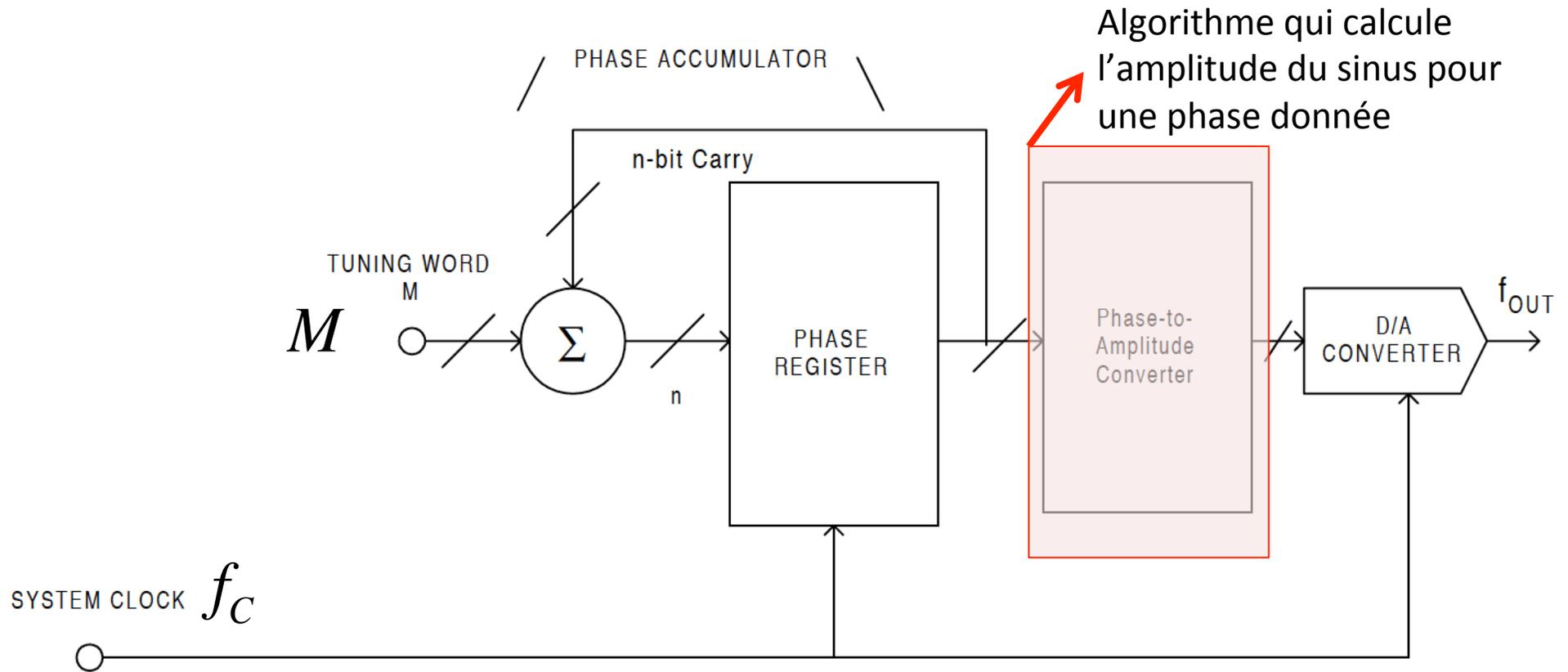
$$f_{out} = M \times \frac{f_c}{2^n}$$



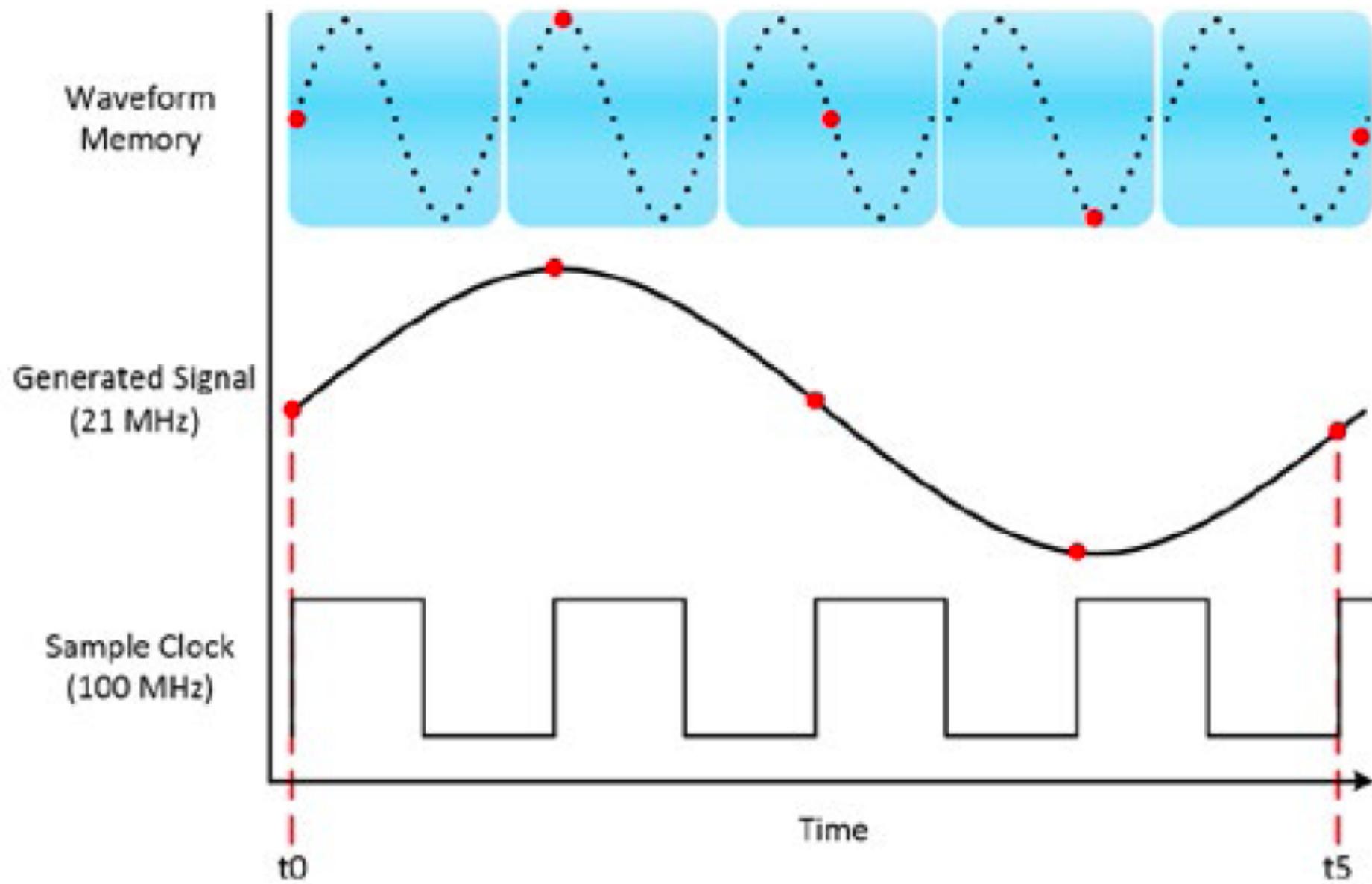
$$f_o = \frac{M \cdot f_c}{2^n}$$

n	Number of Points = $2^n$
8	256
12	4,096
16	65,536
20	1,048,576
24	16,777,216
28	268,435,456
32	4,294,967,296
48	281,474,976,710,656

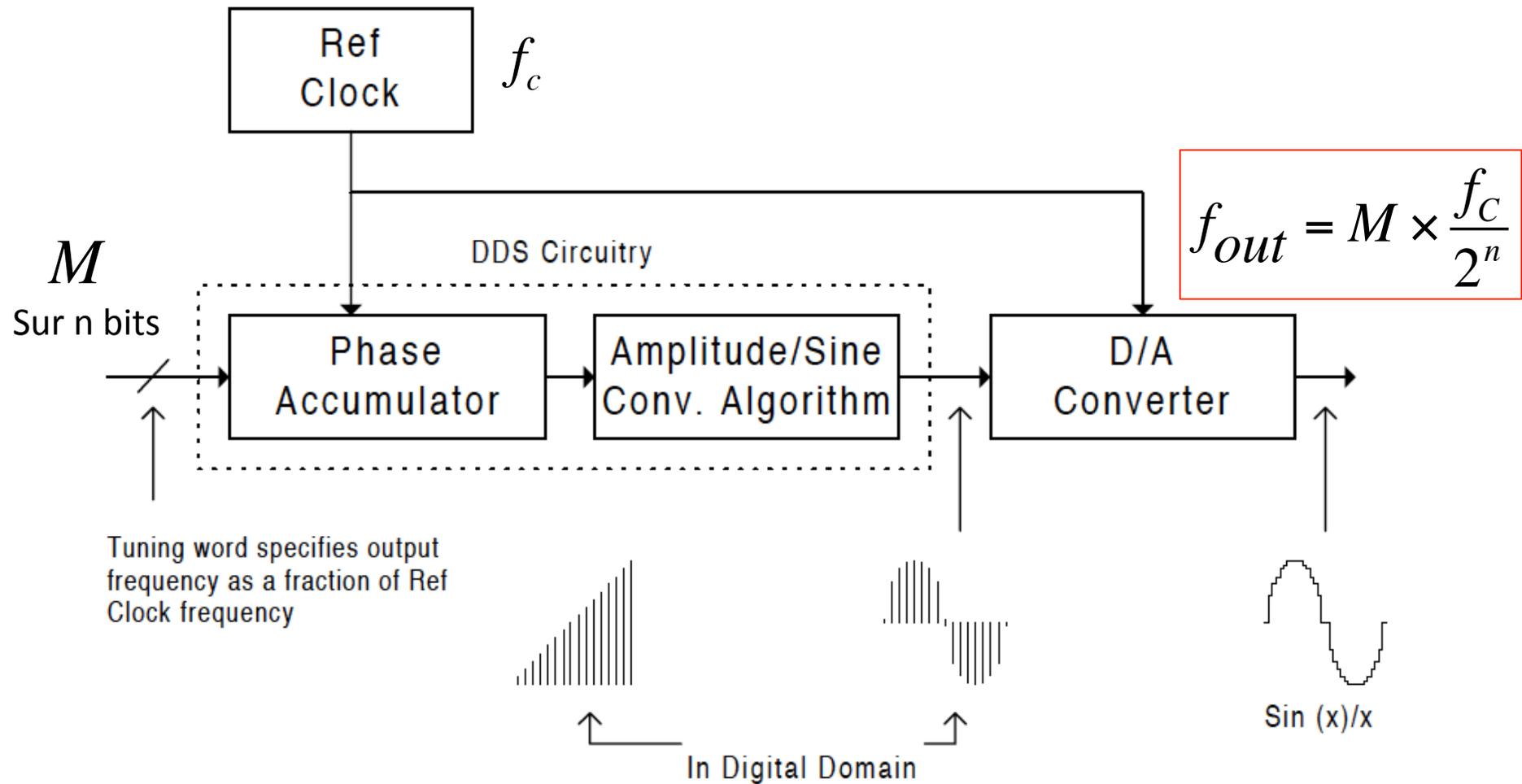
# Synthèse de fréquence : DDS



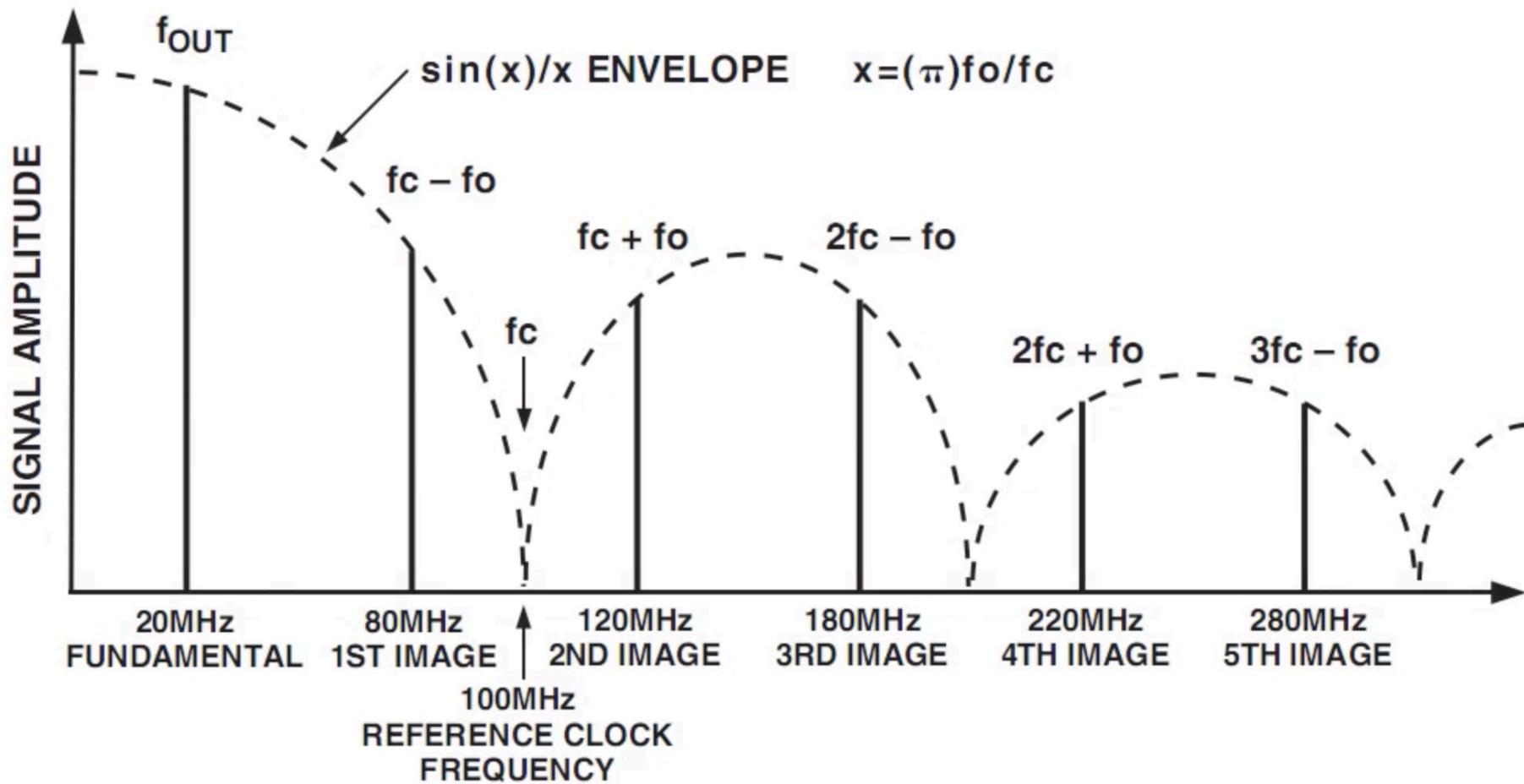
$$f_{out} = M \times \frac{f_c}{2^n}$$



# Synthèse de fréquence : DDS



En général le DAC est suivi d'un filtre passe-bas pour lisser le signal



# Synthèse de fréquence : DDS

La synthèse numérique directe est un système numérique, ce qui lui donne une grande flexibilité, cependant donc on devra faire face à tous les problèmes inhérents aux systèmes numériques :

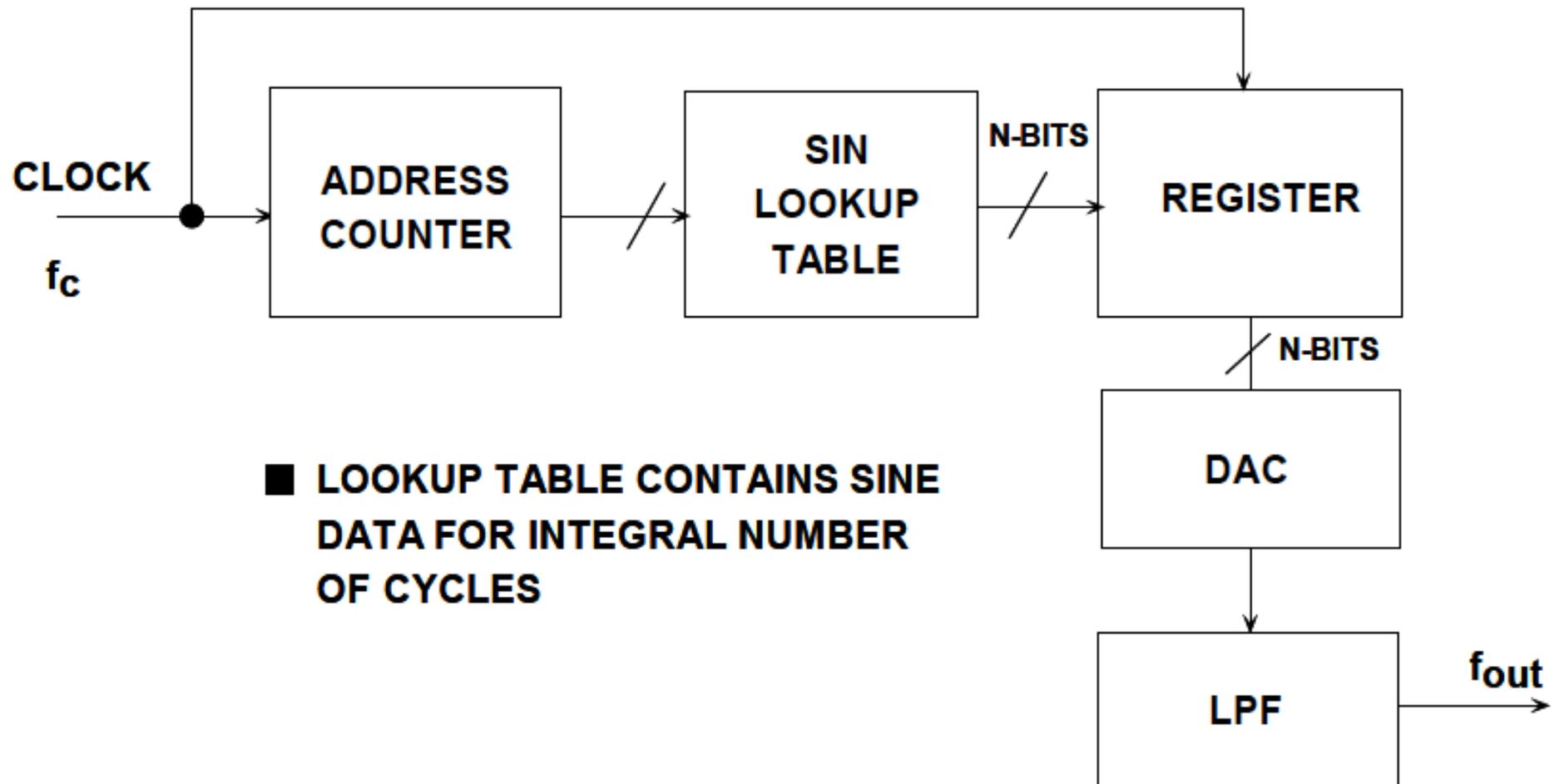
- Repliement de spectre
- Bruit de quantification
- Imperfection du convertisseur Numérique Analogique (DAC)
- ...

# Synthèse de fréquence : comparaison PLL / DDS

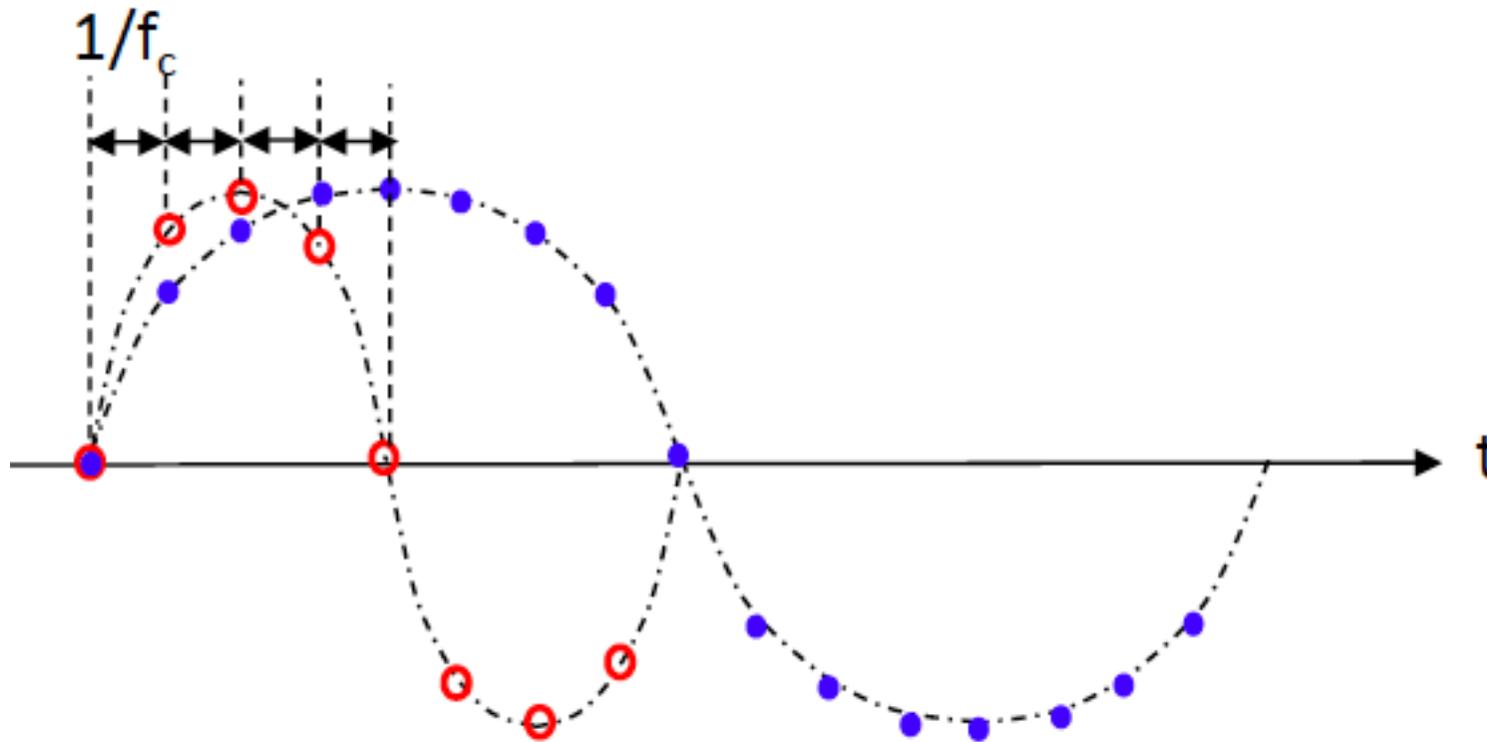
	<b>avantage</b>	<b>inconvénient</b>	<b>Exemple d'application</b>
<b>Synthèse par PLL</b>	Permet de générer une fréquence supérieure à la fréquence de référence $f_H$	Le temps de transition entre deux fréquences peut être long, il dépend du filtre de boucle et des constantes du comparateur de phase et du VCO	<ul style="list-style-type: none"> <li>- Horloge pour processeur</li> <li>- Fréquence porteuse en télécommunication (téléphonie, TV, ...)</li> </ul>
<b>Synthèse par DDS</b>	Le temps de transition entre deux fréquences est très court, c'est dans le pire cas une période d'horloge MCLK	La fréquence maximale synthétisée est limité à $f_H / 2$	<ul style="list-style-type: none"> <li>- Générateur de signaux</li> </ul>

Fin du cours !!!

# Synthèse de fréquence : principe de base

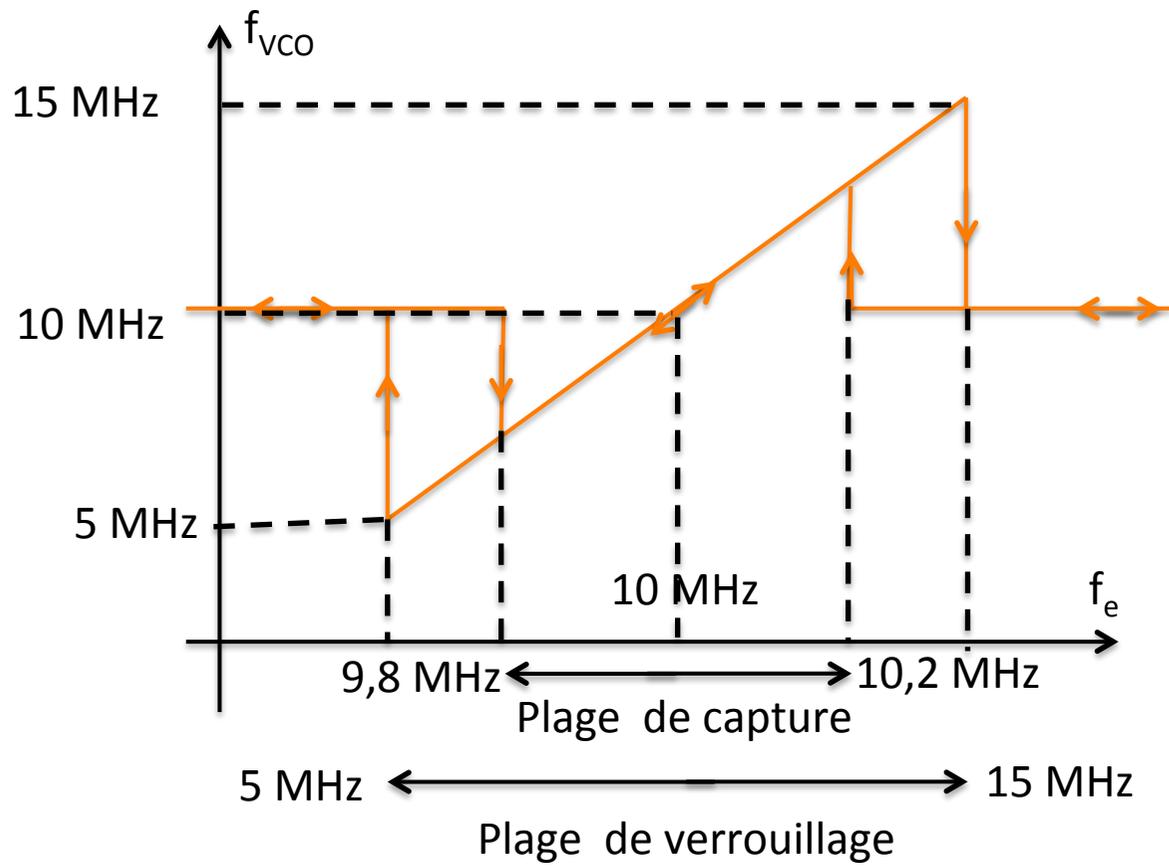


# Synthèse de fréquence : DDS



La fréquence  $f_{out}$  dépend :

- de la fréquence  $f_c$  de l'horloge de référence
- du pas de la table des sinus



<https://www.youtube.com/watch?v=kLmEBq92fAA>